



# 基于 ATE 的集成电路交流参数测试方法

孙莉莉, 李楠

(无锡中微爱芯电子有限公司, 江苏 无锡 214072)

**摘要:** 当前集成电路设计和制造方面的发展速度很快, 集成电路规模和水平不断提高, 也促进了相应的测试技术的发展。集成电路交流参数的准确性已经成为影响集成电路性能的重要因素。介绍了交流参数测试的基本概念和原理, 简述了基于 TR6836 测试系统对交流参数测试的具体方法、流程以及测试程序开发等内容, 并以 74HC04 为例进行了测试, 对交流参数的两种测试方法——搜索法和功能验证法进行了对比和分析。

**关键词:** 集成电路; 交流参数; 自动测试

**中图分类号:** TN407      **文献标识码:** A      **文章编号:** 1681-1070 (2017) 03-0010-03

## Test Method of AC Parameters for ATE-based ICs

SUN Lili, LI Nan

(Wuxi i-CORE Electronics Co., Ltd, Wuxi 214072, China)

**Abstract:** Against the background of the fast development of IC design and manufacturing, the continuously improvement of the IC's scale and level has promoted the development of test technology. The accuracy of AC parameters has become an important factor affecting the performance of ICs. The paper overviews the basic concepts and principles of AC parametric testing, and discusses the method of AC parametric test. The specific method, flow and test program of AC parameter test based on TR6836 test system is presented. Using the system, the 74HC04 is taken as an example to compare and analyze the two test methods of AC parameters: search method and function verification method.

**Keywords:** integrate circuit; AC parameters; ATE system

## 1 引言

随着电子科技领域的不断发展, 半导体集成电路在生活和军事领域的应用不断扩大, 各领域对半导体集成电路的速度要求越来越高, 因此集成电路交流参数的正确性和有效性越来越重要。这使得集成电路测试技术有了迅猛的发展。本文以具体电路为例, 在 TR6836 测试系统上对交流参数的两种测试方法进行可靠的分析验证。

## 2 交流参数测试的原理

一般的数字集成电路大致分为时序逻辑器件和组合逻辑器件。时序逻辑器件的交流参数主要包括脉冲宽度  $t_w$ , 输入脉冲上升时间  $t_r$ , 输入脉冲下降时间  $t_f$ , 建立时间  $t_{set}$ , 保持时间  $t_H$ , 最高时钟频率  $f_{MAX}$ , 输出由低电平到高电平传输延迟时间  $t_{PLH}$ , 输出由高电平到低电平传输延迟时间  $t_{PHL}$ , 输出上升时间  $t_r$  和输出下降时间  $t_f$ 。若有三态输出的器件, 还包括输出由高阻态到高

电平传输延迟时间  $t_{PZH}$ , 输出由高组态到低电平传输延迟时间  $t_{PZL}$ , 输出由高电平到高组态传输延迟时间  $t_{PHZ}$ , 输出由低电平到高组态传输延迟时间  $t_{PLZ}$  等。组合逻辑电路的交流参数主要为  $t_{PLH}$ 、 $t_{PHL}$ 、 $t_r$ 、 $t_f$  等。

在以上交流参数中, 脉冲宽度  $t_w$ 、输入脉冲上升时间  $t_r$ 、输入脉冲下降时间  $t_f$ 、保持时间  $t_H$ 、最高时钟频率  $f_{MAX}$  一般都是由设计及工艺保证的, 测试时按参数表及波形图中时序的要求, 在测试编程时对激励信号进行适当调制, 测试 DUT 的功能即可。而真正要测量的参数是  $t_{PLH}$ 、 $t_{PHL}$ 、 $t_{PZH}$ 、 $t_{PZL}$ 、 $t_{PHZ}$ 、 $t_{PLZ}$ 、 $t_r$  和  $t_f$ 。由于  $t_{PZH}$ 、 $t_{PZL}$ 、 $t_{PHZ}$ 、 $t_{PLZ}$  在测试原理和方法上与  $t_{PLH}$ 、 $t_{PHL}$ 、 $t_r$ 、 $t_f$  基本相同, 故本文以 74HC04 为例, 仅对  $t_{PHL}$  项的交流参数测试进行说明。

$t_{PHL}$  是指输入端在施加规定的电平电压时, 输出电压由高电平到低电平的边沿和对应的输入电压边沿上规定的参考电压间的时间差, 测试原理图见图 1。

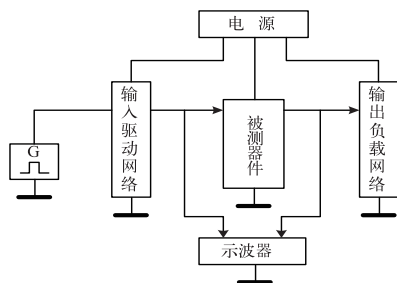


图 1 测试原理图

### 3 交流参数的测试方法

在集成电路的生产过程中, 各测试参数是通过测试机来实现的。对集成电路交流参数测试而言, 不同的测试系统其测试的基本原理和方法基本上是一致的, 现以 TR6838 测试系统为例, 介绍一下交流参数的测试方法——搜索法和功能验证法。

#### 3.1 搜索法

搜索法是通过重复测试搜索不断变化的参数, 利用搜索法测试交流参数的基本思想是: 给出确定的测试条件, 在一定的选通范围内对选通时间进行搜索。以 TR6836 测试系统为例, 在 Pin Map 中定义管脚名, 在 Channel Map 上定义测试板与 TR6836 测试系统连接的通道号, 首先实现器件与测试机的连接。在 PEB Parameters 中分别设置 Pin Mode、Level Set、Edge Set 来保证各条件与详细规范一致, 见图 2。Pin Mode 设置输入波形模式, Level Set 设置输入电平 ( $V_{IH}/V_{IL}$ ) 与输出比较电平 ( $V_{OH}/V_{OL}$ ), Edge Set 设置测试频率以及比较时间, 被测脚的输出比较时间与每次变化时间

程序可控, 测试 pattern 为被测管脚的翻转过程。以 74HC04 为例, 测试 1A 脚上升沿到 1Y 脚下降沿的传输延迟  $t_{PHL}$ , 图 2 为  $t_{PHL}$  的波形图。设置 1Y 的输出比较点  $V_M$  为输出电压的 50%, 设置 1Y 的 Cmp Mk1 和 Cmp Mk2, 每次逐步改变 Cmp Mk1 和 Cmp Mk2 的时间, 更改时间后测试 1Y 由高变低的功能 pattern, 直到该功能 pattern 不再 fail, 那么此时的 Cmp Mk2 时间即为要测的  $t_{PHL}$ 。同样的方法可以设置 1Y 的输出比较点  $V_M$  分别为输出电压的 90% 和 10%, 测出两个输出延迟相减即为输出下降时间  $t_{THL}$ , 波形图见图 2。

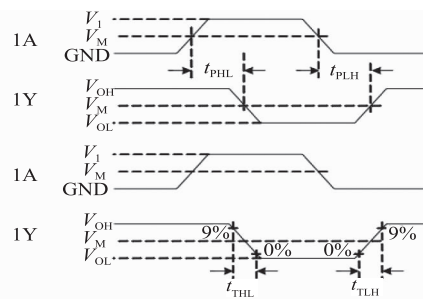


图 2  $t_{PHL}$ 、 $t_{PLH}$ 、 $t_{THL}$ 、 $t_{TLH}$  波形图

#### 3.2 功能验证法

搜索法能够直接测试出交流参数的数值, 但用功能验证法测试交流参数是得不到具体数值的。功能验证的方法是: 输入信号的时序关系与器件详细规范中规定的一致, 把交流参数作为读取信号的选通时间, 在器件详细规范规定的频率下对被测器件进行逻辑功能测试, 如果功能正确, 说明交流参数在规范要求的合理范围内, 这样就达到了对器件交流参数进行验证的目的。以 TR6836 测试系统, 仍以测试 74HC04 的 1A 脚上升沿到 1Y 脚下降沿的传输延迟  $t_{PHL}$  为例, 在 PEB Parameters 的 Level Set 中设置输入电平与输出比较电平  $V_M$ , 在 Edge Set 中设置 Y1 的 Cmp Mk1 时间为详细规范要求的  $t_{PHL}$  值, 具体设置见图 3, 在以上设置下对被测器件进行功能测试, 如果功能通过, 则证明传输延迟符合器件规范要求。

Pin Mode   Level Set   Edge Set					
Chk	Name	$V_{IH}$ (V)	$V_{IL}$ (V)	$V_{OH}$ (V)	$V_{OL}$ (V)
1A		VI	GND	VM	VM
1Y		VI	GND	VM	VM

Pin Mode   Level Set   Edge Set					
Chk	Name	Drv Mk1(ns)	Drv Mk2(ns)	Cmp Mk1(ns)	Cmp Mk2(ns)
1Y				TPHL	

图 3 1A、1Y 的 Level Set、Edge Set

### 4 测试实例

TR6836 测试系统的 Programming 采用 GUI 及 C++ 语言并行实现, 通过 Microsoft Visual Studio 来编

译程序。

搜索法测试 74HC04 的 1A 脚上升沿到 1Y 脚下降沿的传输延迟  $t_{PHL}$ , 电源电压为 5 V, 被测脚各配置程序如下:

```
peb.SetPinLevel("1A",
5.0, 0.0, 2.5, 2.5, 8.0, -2.0);
| | | | |
VIH VIL VOH VOL VCH VCL
peb.SetPinLevel("1Y",
5.0, 0.0, 2.5, 2.5, 8.0, -2.0);
| | | | |
VIH VIL VOH VOL VCH VCL
peb.GetTimingSetPinEdge("1Y",
250, 750, fcmk1, fcmk2);
| | | | |
fDMk1 fDMk2 fCMk1 fCMk2
测试 pattern——TPHL.PAT 如下:
HEAD 1A,2A,3A,4A,5A,6A,1Y,2Y,3Y,4Y,5Y,6Y;
```

START: (000000HHHHHH);

(000000HHHHHH);

(000000HHHHHH);

(100000LHHHHH);

(100000LHHHHH);

(100000LHHHHH);

STOP: (100000LHHHHH);

Edge Set 中 fcmk1 和 fcmk2 设为变量, 搜索法具体实现如下:

```
double fcmk1, fcmk2;
double Tphl[MAX_TESTING_SITE] = {0};
for(i = 0; i < 90; i++)
{
fcmk1 = 10 + 1 * i;
fcmk2 = 15 + 1 * i;
peb.SetTimingSetPinCompareEdge ("0","1Y",tcmp,
```

tcmp2);

```
peb.SetTestPatternOption("TPHL.START"," TPHL.
START",1,false);
```

```
peb.TestPattern ("TPHL.START"," TPHL.STOP",
bPass);
```

```
util.FuncLog(false,bPass);
```

```
if(bPass[0] == 1)
```

```
{
```

```
Tphl [0] = fcmk1;
```

```
i = 90;
```

```
}
```

```
else if(i == 89)
```

```
Tphl [0] = fcmk1;
```

```
}
```

```
util.TestLog("Tphl ", Tphl);
```

设计提供的 74HC04 传输延迟参数规范见图 4, 所以在使用搜索法测试时 1Y 的选通时间在 10~100 ns 范围内以  $\Delta t=1$  ns 为步进递增, 直到功能 pattern PASS, 测试值即为传输延迟  $t_{PHL}$ , 具体测试结果及测试时间见图 5, 该测试项测试时间为 0.6164 s, 传输延迟测试值为 89 ns。

参数名称	符号	测试条件	最小	典型	最大	单位
nA到nY的传输延迟	$t_{PHL}/t_{PLH}$	$V_{CC}=5$ V	-	-	100	ns

图 4 传输延迟参数规范

图 5 搜索法测试结果及测试时间

功能验证法被测脚配置与搜索法基本一致, 不同点就在于 1Y 脚的 Edge Set 比较时间为固定值, 设为 100 ns, 具体实现方法如下:

```
peb.SetTimingSetPinCompareEdge ("0","1Y",100,
100);
```

```
peb.SetTestPatternOption("TPHL.START"," TPHL.
START",1,false);
```

```
peb.TestPattern ("TPHL.START"," TPHL.STOP",
bPass);
```

```
util.FuncLog(true,bPass);
```

功能验证法只要在该条件下功能 pattern PASS, 那么传输延迟  $t_{PHL}$  就能保证在 100 ns 之内, 具体测试结果及测试时间见图 6, 该测试项测试时间为 0.1832 s, 传输延迟该测试项 PASS。

图 6 功能验证法测试结果及测试时间

同一颗电路用搜索法测试传输延迟时间为 89 ns, 可以使用功能验证法来验证一下, 考虑测试机本身存在的误差, 将 1Y 脚的 Edge Set 比较时间分别设为

(下转第 18 页)

## 4 结束语

本文针对一款引线键合芯片与倒装芯片的三维堆叠系统级封装中的 DDR 信号完整性问题, 研究得出以 GSSG 键合线波导传输模型为主的影响单端信号以及差分信号质量的不同因素, 并且提出了优化方案。根据研究成果, 最终实现了高质量的信号传输。建议引线键合芯片焊盘分布设计的工程师们合理设计地电与信号输出分布, 以使得针对未来高堆叠长距离高弧度的键合线, 在最小设计规则的紧密排列下达到更好的信号传输效果。

### 参考文献:

- [1] Dong Gun Kam, Joungho Kim, Jiheon Yu, et al. Packaging a 40-Gbps serial link using a wire-bonded plastic ball grid array [J]. IEEE Design & Test of Computers, 2006, 23(3): 212-219.
- [2] 徐兴福, 高宽栋, 任建, 等. HFSS 射频仿真设计大全[M]. 北京: 电子工业出版社, 2015.
- [3] Huang-Kuang Kung, Bo-Wun Huang, Hsiang-Chen Hsu. The effect of cross-section geometry of bonding wire on wire sweep for semiconductor packages [C]. Microsystems Packaging Assembly and Circuits Technology Conference (IMPACT). IEEE, 2010: 1-4.
- [4] 毛忠宇, 潘计划, 袁正红. IC 封装基础与工程设计实例 [M]. 北京: 电子工业出版社, 2014.
- [5] Jitesh Shah, San Jose. 金线键合与铜线键合的性能比较

[N]. 半导体国际, 2010.

- [6] 丁雨田, 曹军, 许广济, 等. 电子封装 Cu 键合丝的研究及应用[J]. 铸造技术, 2006, 27 (9): 971-974.
- [7] Huang-Kang Tseng, Mei-Ling Wu. Dynamic simulation for microelectronic packaging of Al pad/underlying pad structure during copper wire bonding [C]. 2014 9<sup>th</sup> International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT). IEEE, 2014: 250-254.
- [8] Ivy Qin, Hui Xu, Basil Milton, et al. Process optimization and reliability study for Cu wire bonding advanced nodes [C]. 2014 IEEE 64<sup>th</sup> Electronic Components and Technology Conference (ECTC). IEEE, 2014: 1523-1528.
- [9] 杨玲玲, 孙玲, 孙海燕. IC 封装中键合线传输结构的仿真分析[J]. 电子与封装, 2014, 14 (9): 1-4.
- [10] Stephen H Hall, Howard L Heck. 高级信号完整性技术 [M]. 张徐亮, 鲍景富, 张雅丽, 于永斌, 译. 北京: 电子工业出版社, 2015.



### 作者简介:

王祺翔 (1992—), 男, 朝鲜族, 吉林长春人, 硕士, 主要研究方向为系统级封装设计与电学仿真;

曹立强 (1974—), 男, 博士, 研究员, 主要从事系统级封装和先进封装的有限元建模;

周云燕 (1980—), 女, 博士, 研究员, 研究方向为电磁仿真方法学与电磁仿真软件设计。

(上接第 12 页)

86 ns 和 92 ns 对 pattern 进行测试, Edge Set=86 ns 时 pattern FAIL, Edge Set=92 ns 时 pattern PASS, 那么传输延迟时间在 86~92 ns 之间, 与搜索法测试值 89 ns 基本符合。

## 5 结束语

由以上两种交流参数的测试方法可以看出, 搜索法虽然可以测出具体指标, 但是显然测试时间较长, 所以一般使用在研制过程中, 将测试交流参数的具体数值提供给设计人员, 方便设计人员将测试值与设计值对比并对设计器件进行有效的调整。在器件设计稳定之后, 为了提高测试效率, 节约测试成本, 一般采用

功能验证法进行交流参数测试。

### 参考文献:

- [1] 高成, 张栋, 王香芬. 最新集成电路测试技术[M]. 北京: 国防工业出版社, 2009.2.
- [2] (美) Michael L. Bushnell, (美) Vishwani D. Agrawal. 超大规模集成电路测试[M]. 蒋安平, 冯建华, 王新安, 译. 北京: 电子工业出版社, 2005.



### 作者简介:

孙莉莉 (1991—), 女, 江苏靖江人, 2012 年毕业于西安电子科技大学通信工程专业, 本科, 主要从事集成电路测试工作。