

面向超导量子器件的封装集成技术*

俞杰勋¹, 王谦^{1,2}, 郑瑶¹, 宋昌明¹, 方君鹏¹, 吴海华³, 李铁夫^{1,3}, 蔡坚^{1,2}

(1. 清华大学集成电路学院, 北京 100084; 2. 北京信息科学与技术国家研究中心, 北京 100084;

3. 北京量子信息科学研究院, 北京 100094)

摘要: 超导量子比特因其半导体工艺兼容性强, 可扩展潜力大, 易于操控、读出与耦合, 是现阶段最有希望实现可扩展通用量子计算机的技术路线之一。然而, 通用量子计算的实现需要百万量级的超导量子比特作为硬件基础, 因此相应的封装架构需要在可扩展特性、超导材料体系、低损耗电互连、量子比特兼容性、电磁环境优化等方面进行新的探索。分析了传统引线键合在大规模集成过程中遇到的主要技术瓶颈; 介绍了面向超导量子器件开发的一系列特殊互连架构, 对其优势和局限性进行了探讨; 详细讨论了集成电路领域先进封装技术在超导量子器件中的兼容性问题, 主要涵盖倒装键合、硅通孔及系统集成方案3个方面, 并对上述封装技术的发展趋势进行了展望。

关键词: 超导量子计算; 先进封装; 倒装键合; 硅通孔; 系统集成

中图分类号: TN305.94 **文献标志码:** A **文章编号:** 1681-1070 (2023) 03-030108

DOI: 10.16257/j.cnki.1681-1070.2023.0072

中文引用格式: 俞杰勋, 王谦, 郑瑶, 等. 面向超导量子器件的封装集成技术[J]. 电子与封装, 2023, 23 (3): 030108.

英文引用格式: YU Jiexun, WANG Qian, ZHENG Yao, et al. Package integration technology for superconducting quantum devices[J]. Electronics & Packaging, 2023, 23(3): 030108.

Package Integration Technology for Superconducting Quantum Devices

YU Jiexun¹, WANG Qian^{1,2}, ZHENG Yao¹, SONG Changming¹, FANG Junpeng¹, WU Haihua³, LI Tiefu^{1,3}, CAI Jian^{1,2}

(1. School of Integrated Circuits, Tsinghua University, Beijing 100084, China;

2. Beijing National Research Center for Information Science and Technology, Beijing 100084, China;

3. Beijing Academy of Quantum Information Sciences, Beijing 100094, China)

Abstract: Superconducting quantum bit (qubit) is one of the most promising technology routes to realize scalable universal quantum computer at present because of its strong compatibility with semiconductor technology, large scalability potential, easy control, read-out and coupling. However, the realization of universal quantum computing requires millions of superconducting quantum bit as its hardware basis. Therefore, corresponding packaging architectures need to be explored in terms of scalable properties, superconducting material system, low-loss electrical interconnect, quantum bit compatibility, electromagnetic environment optimization. The main technical bottlenecks encountered by traditional wire bonding in the process of scaling up are analyzed. A series of special interconnection architectures developed for superconducting quantum

* 基金项目: 量子器件封装技术研究 (20202001733)

收稿日期: 2023-01-17

E-mail: 俞杰勋 18801082516@163.com; 王谦 (通信作者) wang-qian@tsinghua.edu.cn

devices are introduced, and the corresponding advantages and limitations are discussed. The compatibility of advanced packaging technologies in integrated circuits industry towards superconducting quantum devices is discussed in detail, mainly covering flip-chip bonding, through silicon via and system integration solutions, providing an outlook on the trend of the above packaging technologies.

Keywords: superconducting quantum computing; advanced packaging; flip chip bonding; through silicon via; system integration

1 引言

随着集成电路的工艺制程逐渐趋近极限,新的计算范式和物理实现平台成为突破算力瓶颈的重要方式之一。其中,量子计算由于在特定科学问题上相较于经典计算机表现出的指数级优越性,目前获得了广泛关注^[1]。现阶段有望实现通用量子计算的主流物理平台包括超导、离子阱、光量子、硅基等,其中,超导量子比特[基本计算单元包括电荷、磁通、相位、传输线并联等离子振荡量子比特(Transmon)等不同类型]及其元器件可以平面化制备于蓝宝石或硅片衬底上,因此可以充分利用成熟的半导体工艺实现大规模集成,同时还具有大规模扩展潜力以及便于实现量子态测控等优点^[2],成为最有希望实现可扩展大规模量子处理器架构的技术路线之一。

超导量子比特作为一种可控的二能级系统(TLS),是由超导体-绝缘层-超导体所构成的约瑟夫森结(超导量子比特的核心部分,常采用Al/AlO_x/Al 3层结构)以及一些电容、电感等辅助性器件构成的,约瑟夫森结为量子比特能级分立性和非线性特征的实现提供了基础,辅助性器件则通过相关电学参数的设计实现了系统哈密顿量的有效调节,以得到计算所需的能级结构^[3]。目前,业界已经可以实现数百比特的有效集成,然而,如果要真正实现超导量子计算机的商业化落地,至少需要千级数量的物理比特;如果进一步搭建出一个高容错、可通用计算的量子处理器,更是需要百万量级的超导量子比特作为其硬件基础^[4-5],而其中的每个量子比特均需配置相应的测控线路,以提供量子比特至外部环境的信号通路,因此产生了复杂的布线及封装需求。同时,超导量子比特需要在稀释制冷机(一种利用超流⁴He稀释其同位素³He的吸热过程以产生持续极低温环境的装置)提供的毫开尔文(mK)级极低温环境下工作,以避免外部热噪声、杂散电磁场等干扰信号对脆弱量子态的破坏。部分超导量子器件结构非常脆弱(如约瑟夫森结),高温、腐蚀性

环境均会对其性能造成显著的不良影响^[5]。因此,传统应用于集成电路产业的各类封装技术无法直接适用于量子器件。超导量子计算的应用场景要求相应的封装架构尽量采用超导材料以减小信号损失和热耗散,尽量采用损耗更低的互连形式[如倒装键合(FC)、硅通孔(TSV)等],封装架构需要在极低温及大温度范围热循环条件下保持良好的电、机械性能,且相较于集成电路(IC)封装需要更加关注电磁环境的优化及外部噪声的屏蔽。

目前超导量子器件多采用引线键合技术实现互连,即利用Au丝(导电性良好)或超导引线(如Al)将量子处理芯片电极和测试座/印刷电路板(PCB)的焊盘连接起来。对于超导量子比特阵列而言,每个比特均需要配置相应的控制偏置线路和读出谐振腔,若采用引线键合对各比特进行访问,则比特数目的扩展必然带来芯片面积的迅速增大。然而,随着量子处理器比特数目的快速增长,稀释制冷机内部非常有限的测试空间未来将无法支持芯片面积的持续扩大,同时,高密度引线键合带来的极低温下的机械应力、平行线间的信号串扰、界面处的阻抗失配等技术弊端对器件性能的不利影响已变得不可忽略,封装集成技术必将限制量子比特数目的进一步增长。为了有效解决量子比特的封装互连问题,现阶段的相关研究主要集中在2个方面:一是特殊互连架构,考虑到稀释制冷机测试结构的适配性及多层布线介质材料引发的退相干效应(描述了量子比特从量子态变化至经典态所需要的时长),部分学者开发了一些特殊的专用结构来打破二维平面的束缚,从垂直方向实现对平面内量子元器件的电、机械访问,如空气桥^[6-8]、弹簧顶针^[9]、量子插座^[10]等,然而其中的部分结构因为构型复杂、体积较大,不完全适用于大规模集成的应用场景;二是兼容性先进封装技术,鉴于集成电路产业的发展脉络,将先进封装架构迁移到超导量子系统中,以提供体系化、可扩展的量子比特集成技术,如FC、TSV等。由于工作环境及器件需求的特殊性,相应的封装技术需进行创新性的发展以适配超导量子计算场景。

本文聚焦于超导量子器件的封装集成技术,介绍了引线键合技术、特殊互连架构及兼容性先进封装技术的研究进展,对该技术的研究现状、关键问题及发展前景进行了概述,并对下一阶段可能的技术路线进行了展望,为超导量子器件封装架构的构建提供可行的思路。

2 引线键合技术的局限性

引线键合技术由于工艺过程的成熟性和灵活性,被广泛应用于超导量子器件与外部接口的电学互连。然而,随着超导量子比特数目的不断增多,其技术局限性也逐渐显现出来^[11-12]:

(1) 焊盘四周排布时,对于面阵列的 N^2 个量子比特,引线键合仅能提供 $4N$ 量级的互连线数目;若通过在器件平面内部排布焊盘的方式提高互连密度,则引线长度显著增大,提高了微波信号的电磁能量损耗,增加了细长引线形变、断裂的失效风险;

(2) 引线键合技术大多通过扩张周边输入/输出(I/O)区的面积来实现更高的互连密度,这会导致芯片、测试座/PCB 体积增大,大冗余空间产生的腔模会干扰量子比特测控,同时周边 I/O 区大量平行排列的键合引线会产生串扰现象,影响逻辑操作的置信度;

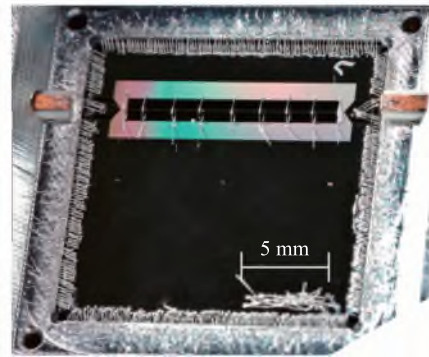
(3) 作为最有潜力实现逻辑比特的纠错算法之一,二维表面码的实现会导致一定比例量子比特的测控电极被设置于面内区域,这部分电极与外部端口的互连有可能形成交叉引线,进而增大了细长交叉线塌丝所产生的短路风险。

为了克服高密度键合引线带来的不利影响,多位研究者从机械可靠性、电磁屏蔽结构、串扰优化等方面开展了相关探索。金泽工业大学 KAWAI 等^[13]开发了一种新型环氧基树脂,掺杂以适当比例的球形复合二氧化硅和热固性树脂化合物,将其覆于带铝或铌键合引线的器件上,结果表明,超导量子干涉器件在热循环过程中引线键合的机械可靠性显著提高,且该新型树脂不产生额外的磁噪声,因此不会对弱磁场的精确探测产生不利影响。WENNER 等^[14]提出了一种阻抗阶梯模型,计算表明,杂散传输在低频下随着引线密度的增加而显著下降,且整体结构的谐振频率值(由引线长度、芯片-基座地平面间寄生电容值决定)对杂散传输值具有较大影响;同时设计了新型芯片基座结构,如图 1 所示,制备有共面谐振腔的芯片顶部、底部均留有一定高度的空腔,芯片边缘排布有大量短距离

对地键合引线以抑制串扰。结果表明,该结构在 100 mK 下的各类不同谐振效应(包括共面谐振腔模式、槽线模式、腔模)均可清晰分辨,6 GHz 下杂散耦合强度降至 -65 dB。



(a) 基座截面



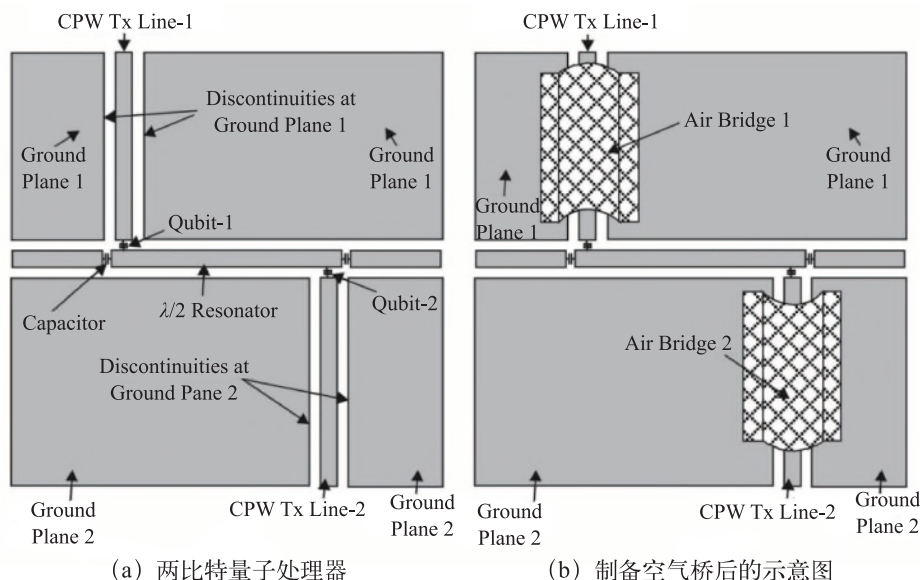
(b) 基座中的芯片

图 1 新型芯片基座结构^[14]

同时,还有部分工作聚焦于芯片外辅助结构的优化,如俄罗斯国家研究型技术大学的 AVERKIN 等^[15]提出可以利用小冗余空间、有一定对称性的样品盒结构来减小腔模对测控的不利影响。虽然上述解决方案均可在一定程度上缓解传统引线键合技术带来的不利影响,但是其工艺流程复杂度较高、兼容性未知,难以从根本上解决极低温度的工作环境下高密度量子比特阵列键合引线的机械及电学可靠性问题,因此大规模集成化应用潜力较弱。

3 特殊互连架构

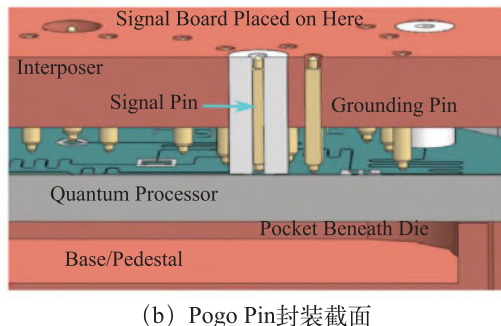
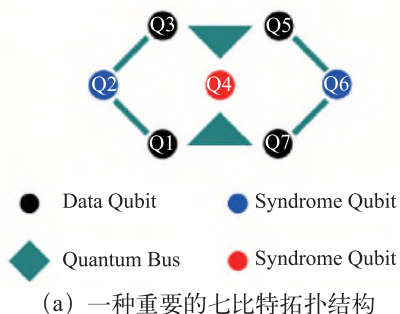
为了更加有效地访问平面内部的量子元器件,或通过桥接不同区域地平面以抑制串扰现象,相关研究者提出了一系列特殊的三维互连架构以避免键合引线的大量使用。其中,超导空气桥结构受到较多关注^[6-8],它是在晶圆上将光刻胶或绝缘介质图形化,作为支撑拱形结构的牺牲层,最终形成一种悬空超导金属桥,其结构如图 2(b) 所示。超导共面波导由于地平面的不连续或不均匀,常常会产生一些杂散谐振模式和微波损耗,因此空气桥常被用于跨接不同区域的地平面以优化比特相干性。不过空气桥的数量及覆盖率会影响谐振腔的品质因子,这种结构性的介电损耗也可能对高敏感、低损耗要求的微波组件产生一些不良

图 2 空气桥结构^[8]

影响^[6-7]。

BRONN 等^[9]面向一种重要的超导 Transmon 七比特纠错拓扑结构 (中心处 Q4 不适合使用引线键合访问), 开发了一种基于 Pogo Pin 的新型封装形式, 七比特纠错拓扑结构如图 3 (a) 所示, Pogo Pin 封装截面如图 3 (b) 所示, 其中信号 Pin 穿过转接板上的聚四氟乙

烯塞实现了 PCB 和量子处理器焊盘之间的信号传输, 其余辅助 Pin 则用于两侧地平面的连接。结果表明, 该 Pogo Pin 封装形式在量子比特退相干时间、测控保真度等重要指标上实现了与标准平面封装相近的性能, 且兼容其他集成技术 (如片上引线键合), 以抑制相关寄生模式。

图 3 Pogo Pin 架构^[9]

滑铁卢大学的 BEJANIN 等^[10]提出了一种精密设计的量子插座集成化方案, 充分利用三维空间实现了经典电路和量子比特的垂直互连, 其集成密度及器件性能均优于二维引线键合技术, 有助于量子纠错码 (如表面码) 的实现。该量子插座使用装有定制化 BeCu 弹簧 (非磁性材料) 的微波线, 通过与芯片焊盘的压力接触实现电导通, 量子插座如图 4 所示。微波线采用同轴构型, 支持直流至 8 GHz 频段的测控操作, 串扰较小, 且在低温下仍能保持正常功能。

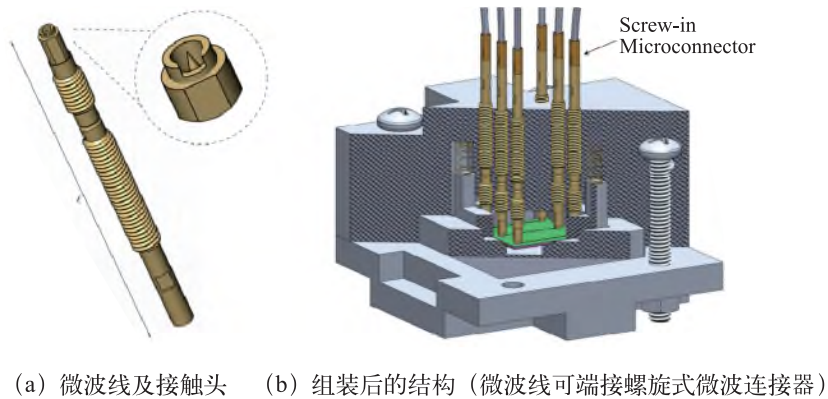
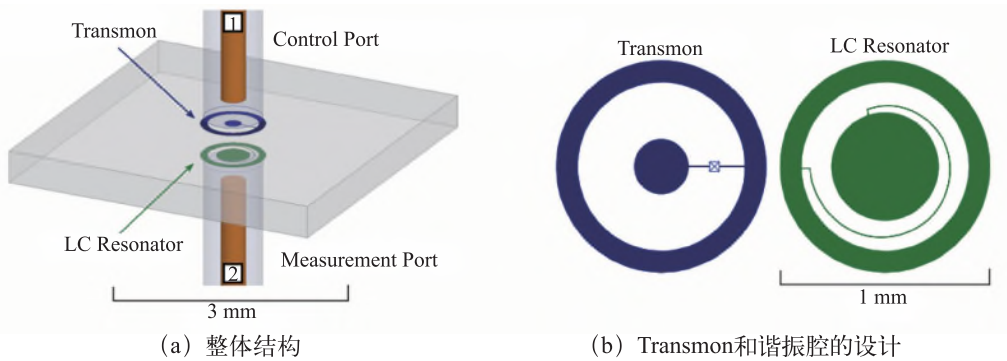
牛津大学在 2 项工作^[16-17]中均应用了一种新型的双面同轴线结构对量子元器件进行测控, 其结构如图 5 所示。基板正面制备有同轴构型的 Transmon 比特, 其容性耦合到基板背面的读出谐振腔。同轴驱动线由

样品盒垂直送至基板表面, 以容性耦合的方式对面内元器件进行测控, 改变驱动线与基板之间的间距即可调整电路外部品质因子。所有量子比特、读出谐振腔及对应的驱动线均被有效限制在了垂直于基板表面的圆柱形区域内, 无需实施额外的键合或片内工序。

4 兼容性先进封装技术

当平面内的集成度随着比特数目的增加而不断增大时, 采用多层布线工艺来满足元器件间更加复杂的互连需求是一个很自然的选择。但是这一技术在量子系统中会引入一些不利影响。

(1) 构建多层布线所需的平坦化工序可能对约瑟

图 4 量子插座^[10]图 5 双面同轴线结构^[17]

夫森结造成机械性的不利影响,且对复杂结构下的工艺均匀性挑战较大^[18-19];

(2) 金属层间用于实现电绝缘功能的非晶介质材料中存在缺陷,这些缺陷在低于 1 K 的环境下会表现出二能级系统的性质,其所处的具体能级状态难以像量子比特一样被精确设计和控制,从而引发不可忽视的量子比特退相干效应^[20]。

面对这一问题,已有部分解决方案被提出^[20],如优化材料选择、生长工艺、表面处理等步骤以减少 TLS 的来源^[21],完成金属布线层后将支撑用的介质层刻蚀掉^[22],优化量子比特设计使之对电荷噪声不敏感(如 Transmon)^[23-24]等。另外一种解决思路是将量子比特阵列和高密度测控线路分别制备在 2 个独立的芯片上,随后使用先进封装技术将 2 块芯片集成起来,从而在不影响信号传输的情况下实现量子比特、介质层的空间分离。相关研究目前主要集中在 FC、TSV 及系统集成方案 3 个方面。

4.1 面向超导量子器件的倒装键合技术

一般而言,兼容超导量子比特的倒装键合结构需要满足以下几个基本条件^[12,25]:

(1) 凸点植球和键合工艺应与超导量子比特的制备工艺相兼容,互连材料应具有超导性质,以保证不

同芯片之间的无损连接并避免产生局部发热现象;

(2) 键合互连温度不宜过高,以免约瑟夫森结被退火处理,发生关键指标的波动,倒装凸点应当在热循环过程中(数 mK 至 300 K 内)保持良好的电气及机械性能。

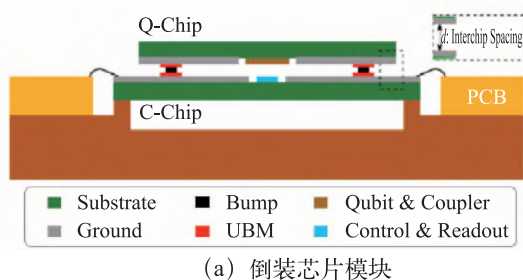
在键合互连体系设计方面,凸点多采用铟制备,因为其热蒸发沉积速率较快,超导临界转变温度 T_c (3.4 K) 较低,且 Al 在约瑟夫森结制备过程中的氧化过程较易被控制^[26]。Al 和 In 之间易发生化学反应、形成金属间化合物,因此需要增设扩散阻挡层,可选择与互补金属氧化物半导体 (CMOS) 工艺相兼容的 TiN,其常见于超导量子器件工艺中且 T_c 较高 (5.64 K)。除了上述材料的组合,也可采用 Ta 布线层^[27]、NbN 阻挡层^[28]等其他超导材料。

FOXEN 等^[25]对 Al/TiN/In 键合结构的可行性进行了验证。上、下 2 片分别制备完成后,采用氢、氦、氮气混合气氛对凸点进行了表面处理,随后在室温下以 10~20 N/mm² 的压力完成倒装键合。测试结果表明,该互连结构临界电流值超过 25 mA,超导转变温度为 1.1 K,单个键合结构在此温度下电阻低于 3 nΩ,机械剪切强度良好。清华大学集成电路学院先进封装与系统集成团队的 YU 等^[12]采用了 Al/TiN/In/Au 键合结

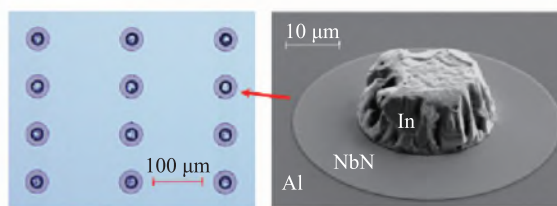
构,从封装角度对其微波/直流电传输性能、机械强度、工艺稳定性、气密性等关键指标进行了系统性验证及评估。

LI 等^[27]利用钢凸点倒装技术实现了一种改进版的 Transmon 比特 (Flipmon), 2 种量子比特对比如图 6 所示,将之前的并联大电容结构替换为真空间隙 ($5\text{ }\mu\text{m}$) 形成的平行板形电容,底部芯片上的约瑟夫森结则通过钢凸点与顶部芯片上的焊盘形成电连接。测试及仿真结果表明,该新型比特的相干性可以达到传统 Transmon 的水平,能量弛豫时间基本不受倒装凸点的影响,而主要受限金属-空气界面,更加精细的表面处理工艺可以消除该损耗来源。

查尔姆斯理工大学的 KOSEN 等^[28]利用倒装键合技术制备并评估了一种可扩展的封装架构,如图 7 所示。



(a) 倒装芯片模块



(b) 键合凸点 (钢), 凸点下金属化层 NbN, 布线层 Al

图 7 可扩展倒装架构^[28]

麻省理工学院的 DAS 等^[29]将多个超导量子比特芯片通过钢凸点倒装键合到一个大尺寸基板上,构建了超导多芯片模块 (MCM) 封装体,随后使用环氧底填料和披覆层分别对部分芯片进行了保护,由于其降温收缩率大于钢凸点,可以在极低温测试环境下有效提升其机械可靠性。电学测试结果表明,底填料、披覆层及相应固化工艺的引入没有显著影响约瑟夫森结的关键性能 (如电流-电压特性、低温电阻等)。

4.2 面向超导量子器件的硅通孔技术

鉴于 IC 封装的发展脉络,采用 TSV 技术解决量子器件的集成度瓶颈问题是一个自然且合理的选择,目前已有多项学界及业界研究完成了基于 TSV 转接板超导量子三维封装架构的试验验证。TSV 的引入有助于解决如下问题^[30]:

(1) 垂直高密度互连,能够实现跨基板的高质量信号传输,层间寄生电学参数可控性提高,TSV 转接板结合 FC 可实现测控芯片与量子比特更有效的空间分离,减少对器件性能的影响;

(2) 信号质量优化,在谐振腔周围适当排布 TSV,可起到电磁屏蔽功能,防止非预期信号耦合现象的产生;TSV 阵列孔间距的合理设计有助于推高模式频

率。其中 Q-Chip 上集成有固定频率铝 Transmon 量子比特和频率可调耦合器等,容性或感性耦合于 C-Chip 上的 XY、Z 控制线及谐振腔,测试结果表明,倒装工艺并未对量子比特性能造成明显的不利影响,Transmon 在退相干时间、门操作保真度等关键指标上接近倒装架构的先进水平。另外,他们还利用电磁场模拟研究了器件性能对片间距离的依赖性,提出了一些有助于弱化该敏感性的解决方案。

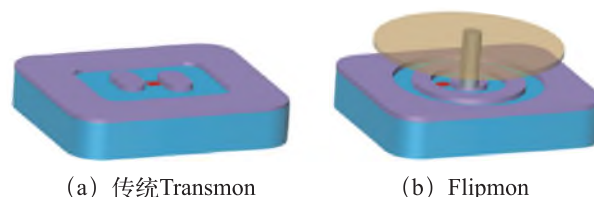


图 6 2 种量子比特的对比^[27]

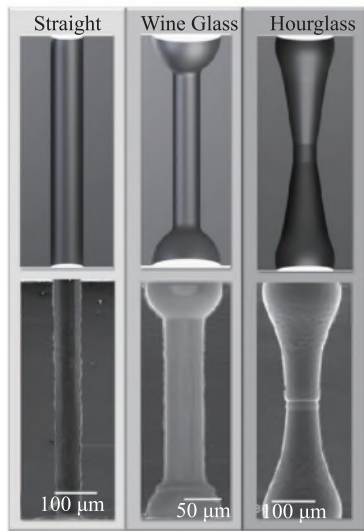
率、减小串扰强度^[31],以削弱其对量子常用测控频率区间的影响。

但是集成电路封装中常用的 TSV 技术并不能直接迁移到超导量子应用场景^[30],因为传统 TSV 内部的填充金属铜无超导特性,在低温下会局部发热,影响正常测控,常用的层间介质材料也可能引发量子退相干。若材料间热膨胀系数差异过大,则可能在室温至 mK 级降温过程中引发应力集中及机械失效,因此面向超导量子器件的 TSV 结构需要考量其应用场景的特殊性,对现有 TSV 工艺进行优化。部分学者认为^[32],目前先进的超导量子比特密度可达 $10/\text{mm}^2$,而转接板须具有较大厚度以满足量子比特空间隔离及夹持工艺的需要,因此 TSV 应尽量满足小直径、高深宽比的要求。同时,TSV 材料须具有远高于量子比特操作温度 ($<100\text{ mK}$) 的临界温度值,且临界电流密度至少为 10 mA ,以满足可调量子比特的磁通偏置需求。已有多位研究者在这一领域展开了探索工作,下面先后介绍 3 个分别基于 Al 基、In 基、TiN 基超导材料填充的 TSV 结构。

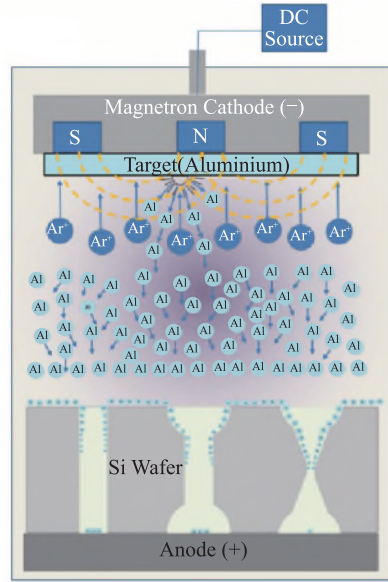
代尔夫特理工大学 ALFARO-BARRANTES 等^[33-35]对 3 种不同形貌的 TSV 用溅射法制备了 Al 层,Al 基

TSV 结构如图 8 所示,结果表明,沙漏型 TSV 工艺效果最佳,侧壁金属层膜层均匀,对不同厚度的晶圆表现出较好的兼容性,TSV 单孔室温电阻为 $160\text{ m}\Omega$,跨桥开尔文测试结构表现出 1.27 K 的陡峭 T_c 值,晶圆级良率接近 90%;酒杯型 TSV 工艺效果次之,工序相对简化,中心通孔电阻增大至 $(487\pm 68)\text{ m}\Omega$,Al 超导转变

温度值与膜层厚度成反比,而表面、斜面、垂直面的膜层厚度差异较大,因此无统一、陡峭的 T_c ;圆柱型 TSV 工艺效果最差,单面溅射后电阻处于 $\text{M}\Omega$ 量级,双面溅射后 TSV 中间区域仍不足以形成连续的厚 Al 层。因此,沙漏型、酒杯型更适合制备高覆盖率、高均匀性、高深宽比的 Al 基超导 TSV。



(a) 3种不同构型TSV的设计图及实际SEM图



(b) 单面溅射Al的工艺效果示意图

图 8 Al 基 TSV 结构^[34]

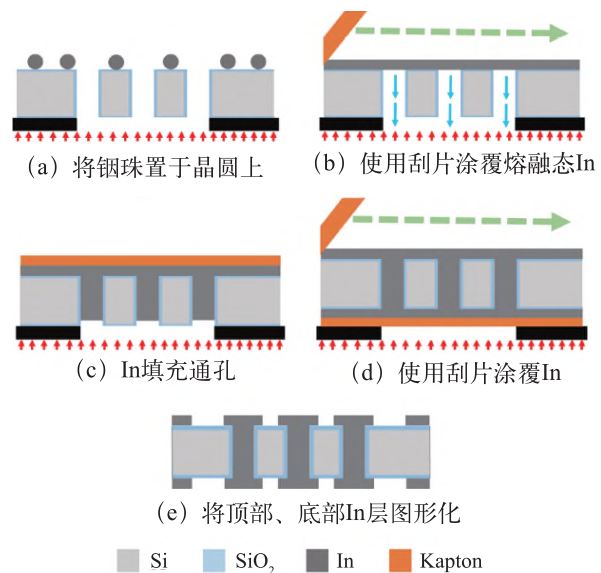
代尔夫特理工大学 ALFARO 等^[36]首次采用纯铟对高深宽比 TSV 进行了填充(深 $300\sim 500\text{ }\mu\text{m}$ 、直径 $50\sim 100\text{ }\mu\text{m}$)。In 基 TSV 的关键工艺如图 9 所示,首先将真空系统卡盘温度降至 $160\text{ }^\circ\text{C}$ (以减少 In 氧化),随后在卡盘上的晶圆顶部放置钢珠使之熔化散开,激活真空系统,通孔上下的压力差迫使液 In 以层流态入孔,最后使用覆有聚酰亚胺的刮片多次扫刷即可保证完全填孔。该真空辅助液态金属填充工艺支持低成本、晶圆级、无孔洞、大批量的快速 (10 min) 填充,单 TSV 的电阻率可达 $593.6\text{ }\mu\Omega\cdot\text{cm}$,不足之处在于液态 In 印刷时难以保证其表面金属层的厚度均匀性,导致刻蚀工艺产生一定的误差。

芬兰国家技术研究中心的 GRIGORAS 等^[37]在 $60\text{ }\mu\text{m}$ 直径的 TSV 中使用 ALD 技术保形沉积了一层 TiN, TiN 基 TSV 拐角处的 SEM 图如图 10 所示,测试结果表明,其临界转变温度约为 1.6 K ,室温电阻率接近 $110\text{ }\mu\Omega\cdot\text{cm}$,是一种可靠的超导 TSV 制备方案。

4.3 面向超导量子器件的系统集成方案

基于倒装键合、硅通孔等基本结构,可以实现兼容超导量子比特的 2.5D、3D 封装架构,进而构建比特数目更多、功能更完善的量子系统。已有多个研究团

队面对这一课题提出了理论或试验方案,具有重要的参考价值。



(e) 将顶部、底部In层图形化

■ Si ■ SiO_2 ■ In ■ Kapton

图 9 In 基 TSV 的关键工艺^[36]

ROSENBERG 等设想了如图 11 (a) 所示的基于钢凸点键合的大规模三维集成量子处理器^[38],顶片制备有超导量子比特,中间为 TSV 转接板,底片制备有多层布线及约瑟夫森结。随后在 2020 年,该团队将上述

结构命名为“3-Stack”,设计了简化版的“2-Stack”并完成了试验验证^[39],如图 11 (b) 所示,其仅包含量子比特芯片及 TiN 基 TSV 转接板,二者通过钢柱和 Ti/Pt/Au 凸点下金属化层 (UBM) 在 105 °C 下键合。结果表明,整体器件的平均量子比特寿命 $T_1=10\ \mu\text{s}$,2-Stack 的散热效率不弱于单芯片结构,且 TSV 能够支持高保真量子比特测控所需的微波信号。另外,该团队还曾提出过如图 12 所示的低温封装架构^[29],使用超导刚柔结合板替换稀释制冷机中的 PCB、连接器、同轴线等,其中三维集成量子模块搭载于左侧刚性板上,于 mK 级低温下服役,其余的布线、控制及放大电路制备于右侧

高温环境的刚性板上,二者通过柔性区域连接,以期减少原稀释制冷机各级所需的布线数目,提供更多功能模块的灵活集成方案。

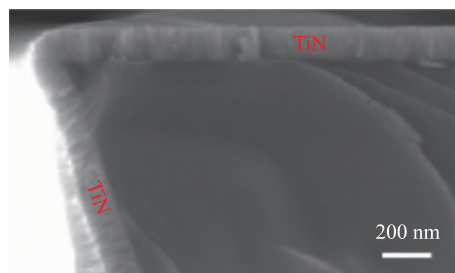


图 10 TiN 基 TSV 拐角处的 SEM 图

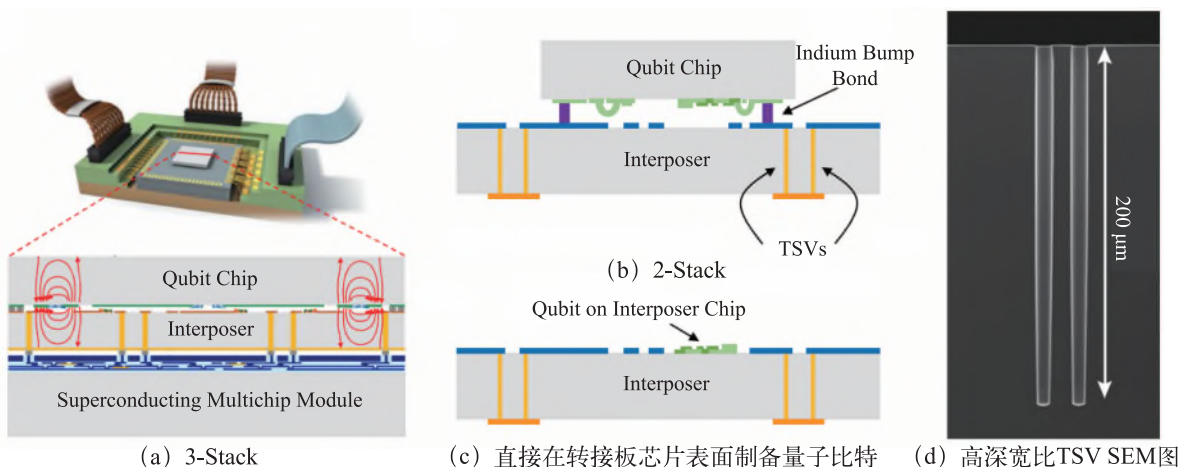


图 11 超导量子处理器三维集成结构^[39]

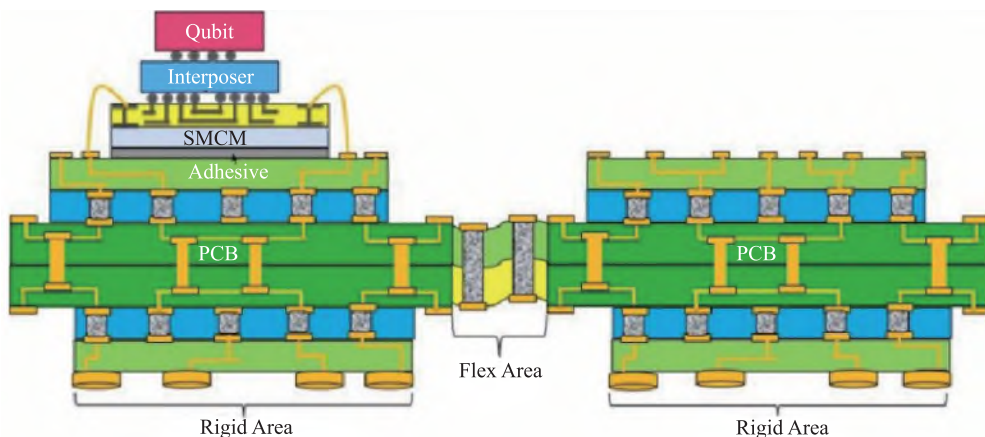


图 12 低温封装架构概念图^[29]

耶鲁大学的 BRECHT 等^[40]提出了一种多层微波量子芯片集成化方案,如图 13 所示。

其中,各类不同功能的元器件分布于不同层硅片上,片间使用晶圆级键合实现互连,整体系统使用引线键合或球栅阵列 (BGA) 与外部测控电路通信。该系统包含多个微机械加工形成的腔结构,可用来制备高品质因子谐振器,作为量子信息的存储媒介,或用于包覆制备在薄膜 (绿色) 上的元器件、传输线等,以起到

屏蔽保护、抑制介电损耗的作用,矩形腔谐振器截面如图 13 (b) 所示,使用精加工凹槽包覆传输线、谐振腔等元器件如图 13 (c) 所示,腔体内壁覆有超导金属化层 (蓝色)。

目前量子芯片与稀释制冷机的通信常通过硅片边缘引线键合到 PCB 的方式来进行过渡,但是给每个芯片都更新一套测试 PCB 的成本过高、效率过低。因此,悉尼大学的 COLLESS 等^[4]提出了如图 14 所示的

模块化低温互连平台, 其分为器件板(小)和信号板(大)2部分, 前者仅包含用于量子比特芯片引线键合的焊盘, 后者则容纳了其他用于量子信息处理的直流、射频、微波信号互连结构, 以及滤波器和偏置三通,

集中了整个平台的主要成本及复杂度, 可以固定在低温系统中多次复用。在不同测试需求下仅替换键合有量子芯片的器件板即可, 大幅减了解键合量子芯片、拆卸 PCB 组件所带来的机械及电气失效风险。

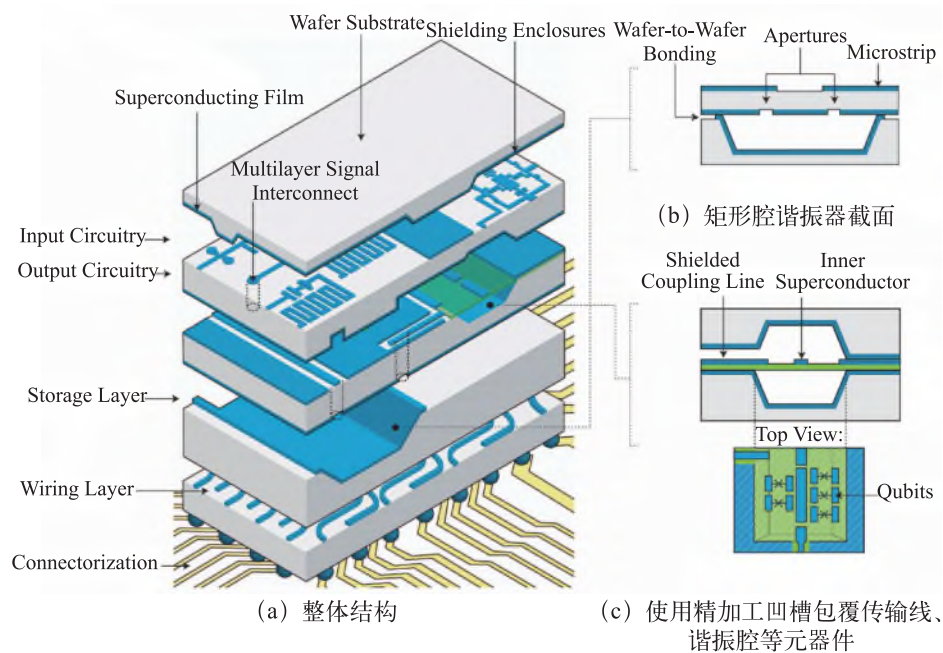


图 13 多层微波量子芯片集成化方案^[40]

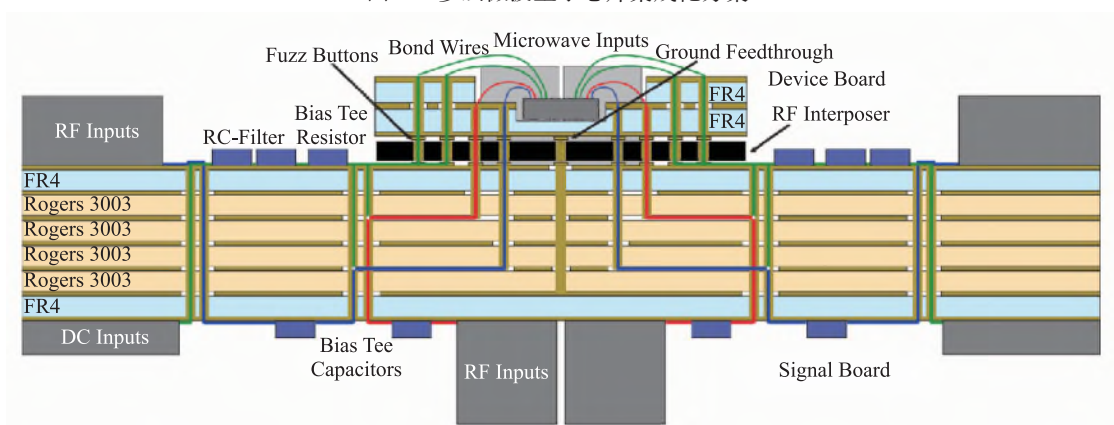


图 14 模块化低温互连平台^[4]

5 结论

超导量子计算近年来进入快速发展期, 比特数目、相干时间、单/双比特门保真度、制备工艺等均取得了长足的进步, 同时也带来了复杂的封装及布线需求。目前常用的二维互连技术已无法满足更大规模的集成需求, 因此相关研究者对特殊互连架构、兼容性先进封装技术 2 方面进行了大量探索。在可预见的未来, 封装集成技术将是超导量子处理器突破算力瓶颈的核心驱动力之一, 基于 FC 及 TSV 的三维集成技

术、基于超导刚柔结合板的新型互连架构、基于独立功能单元的模块化集成方案等极具潜力的技术路线将为通用量子计算的实现奠定坚实的硬件基础。

参考文献:

- [1] SHOR P W. Algorithms for quantum computation: Discrete logarithms and factoring[C]// Proceedings 35th Annual Symposium on Foundations of Computer Science, November 20-22, 1994, Santa Fe, NM, USA, IEEE, 1994: 124-134.
- [2] HUANG H L, WU D C, FAN D J, et al. Superconducting quantum computing: A review[J]. Science China-Information

- Sciences, 2020, 63(8): 59-90.
- [3] 金贻荣. 超导与量子计算[J]. 自然杂志, 2020, 42(4): 301-310.
- [4] COLLESS J I, REILLY D J. Modular cryogenic interconnects for multi-qubit devices[J]. Review of Scientific Instruments, 2014, 85(11): 1-5.
- [5] 郑伟文, 李晓伟, 熊康林, 等. 超导量子芯片集成技术概述[J]. 电子元件与材料, 2022, 41(11): 1143-1148.
- [6] CHEN Z J, MEGRANT A, KELLY J, et al. Fabrication and characterization of aluminum airbridges for superconducting microwave circuits[J]. Applied Physics Letters, 2014, 104(5): 052602.
- [7] 宿非凡, 杨钊华, 赵寿宽, 等. 铌基超导量子比特及辅助器件的制备[J]. 物理学报, 2022, 71(5): 33-47.
- [8] ABUWASIB M, KRANTZ P, DELSING P. Fabrication of large dimension aluminum air-bridges for superconducting quantum circuits[J]. Journal of Vacuum Science & Technology B, 2013, 31(3): 031601.
- [9] BRONN N T, ADIGA V P, OLIVADESE S B, et al. High coherence plane breaking packaging for superconducting qubits[J]. Quantum Science and Technology, 2018, 3(2): 024007.
- [10] BEJANIN J H, MCCONKEY T G, RINEHART J R, et al. Three-dimensional wiring for extensible quantum computing: The quantum socket[J]. Physical Review Applied, 2016, 6(4): 44010.
- [11] 刘强. 超导量子器件的制备与可扩展封装方案的研究[D]. 南京: 南京大学, 2017.
- [12] YU J X, ZHENG Y, ZHOU S J, et al. Indium-based flip-chip interconnection for superconducting quantum computing application[C]// 2022 23rd International Conference on Electronic Packaging Technology (ICEPT), August 10-13, 2022, Dalian, China, IEEE, 2022: 1-6.
- [13] KAWAI J, SAKAMOTO Y, KAWABATA M, et al. A reliable molding technique by using epoxy-based resin for thin-film superconducting quantum interference devices[J]. IEEE Transactions on Applied Superconductivity, 2005, 15(4): 3901-3905.
- [14] WENNER J, NEELEY M, BIALCZAK R C, et al. Wirebond crosstalk and cavity modes in large chip mounts for superconducting qubits[J]. Superconductor Science & Technology, 2011, 24(6): 65001- 65007.
- [15] AVERKIN A S, KARPOV A, SHULGA K, et al. Broadband sample holder for microwave spectroscopy of superconducting qubits[J]. Review of Scientific Instruments, 2014, 85(10): 104702.
- [16] PATTERSON A D, RAHAMIM J, TSUNODA T, et al. Calibration of a cross-resonance two-qubit gate between directly coupled transmons[J]. Physical Review Applied, 2019, 12(6): 064013.
- [17] RAHAMIM J, BEHRLE T, PETERER M J, et al. Double-sided coaxial circuit QED with out-of-plane wiring [J]. Applied Physics Letters, 2017, 110(22): 222602.
- [18] SATOH T, HINODE K, AKAIKE H, et al. Planarization of Josephson junctions for large-scale integrated Nb SFQ circuits by mechanical polishing[J]. Physica C: Superconductivity, 2004, 412(1-2): 1447-1450.
- [19] NAGASAWA S, HINODE K, SUGITA M, et al. Planarized multi-layer fabrication technology for LTS large-scale SFQ circuits[J]. Superconductor Science & Technology, 2003, 16(12): 1483-1486.
- [20] ROSENBERG D, WEBER S J, CONWAY D, et al. Solid-state qubits: 3D integration and packaging[J]. IEEE Microwave Magazine, 2020, 21(8): 72-85.
- [21] OLIVER W D, WELANDER P B. Materials in superconducting quantum bits[J]. MRS Bulletin, 2013, 38(10): 816-825.
- [22] DUNSWORTH A, BARENDSE R, CHEN Y, et al. A method for building low loss multi-layer wiring for superconducting microwave devices[J]. Applied Physics Letters, 2018, 112(6): 63502.
- [23] KOCH J, YU T M, GAMBETTA J, et al. Charge-insensitive qubit design derived from the Cooper pair box [J]. Physical Review A, 2007, 76(4): 42319.
- [24] YAN F, GUSTAVSSON S, KAMAL A, et al. The flux qubit revisited to enhance coherence and reproducibility[J]. Nature Communications, 2016, 7(1): 12964.
- [25] FOXEN B, MUTUS J Y, LUCERO E, et al. Qubit compatible superconducting interconnects [J]. Quantum Science and Technology, 2018, 3(1): 14005.
- [26] 周宇轩. 可扩展超导量子器件的设计与制备[D]. 哈尔滨: 哈尔滨工业大学, 2020.
- [27] LI X G, ZHANG Y S, YANG C H, et al. Vacuum-gap transmon qubits realized using flip-chip technology [J]. Applied Physics Letters, 2021, 119(18): 1-6.
- [28] KOSEN S, LI H X, ROMMEL M, et al. Building blocks of a flip-chip integrated superconducting quantum processor [J]. Quantum Science and Technology, 2022, 7(3): 035018.
- [29] DAS R N, YODER J L, ROSENBERG D, et al. Cryogenic qubit integration for quantum computing[C]// 2018 IEEE 68th Electronic Components and Technology Conference

- (ECTC 2018), May 29-June 01, 2018, San Diego, CA, USA, IEEE, 2018: 504-514.
- [30] VAHIDPOUR M, O'BRIEN W, WHYLAND J T, et al. Superconducting through-silicon vias for quantum integrated circuits[J]. Quantum Physics, 2017: 02226.
- [31] 张超. TSV 耦合串扰及其优化研究[D]. 西安: 西安电子科技大学, 2021.
- [32] MALLEK J L, YOST D W, ROSENBERG D, et al. Fabrication of superconducting through-silicon vias [J]. Quantum Physics, 2021: 08536.
- [33] ALFARO-BARRANTES J A, MASTRANGELIM, THOEN D J, et al. Fabrication of Al-based superconducting high-aspect ratio TSVs for quantum 3D integration [C]// 2020 33rd IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2020), January 18-22, 2020, Vancouver, Canada, IEEE, 2020: 932-935.
- [34] ALFARO-BARRANTES J A, MASTRANGELIM, THOEN D J, et al. Highly-conformal sputtered through-silicon vias with sharp superconducting transition[J]. Journal of Microelectromechanical Systems, 2021, 30(2): 253-261.
- [35] ALFARO-BARRANTES J A, MASTRANGELIM, THOEN D J, et al. Superconducting high-aspect ratio through-silicon vias with DC-sputtered Al for quantum 3D integration[J]. IEEE Electron Device Letters, 2020, 41(7): 1114-1117.
- [36] ALFARO J A, SBERNA P M, SILVESTRI C, et al. Vacuum assisted liquified metal (VALM) TSV filling method with superconductive material[C]// 2018 IEEE Micro Electro Mechanical Systems (MEMS), January 21-25, 2018, Belfast, North Ireland, IEEE, 2018: 547-550.
- [37] GRIGORAS K, SIMBIEROWICZ S, GRONBERG L, et al. Superconducting TiN through-silicon-vias for quantum technology [C]// 2019 IEEE 21st Electronics Packaging Technology Conference (EPTC), December 04-06, 2019, Singapore, Singapore, IEEE, 2019: 81-82.
- [38] ROSENBERG D, KIM D, DAS R, et al. 3D integrated superconducting qubits[J]. npj Quantum Information, 2017, 3(1): 42.
- [39] YOST D R W, SCHWARTZ M E, MALLEK J, et al. Solid-state qubits integrated with superconducting through-silicon vias[J]. npj Quantum Information, 2020, 6 (1): 59.
- [40] BRECHT T, PFAFF W, WANG C, et al. Multilayer microwave integrated quantum circuits for scalable quantum computing[J]. npj Quantum Information, 2016, 2 (1): 1-4.



作者简介:

俞杰勋 (2001—), 男, 甘肃兰州人, 博士研究生, 主要研究方向为三维集成;



王谦 (1973—), 男, 湖北黄冈人, 博士, 副研究员, 主要研究方向为系统级封装、MEMS 封装、晶圆级封装、基于 TSV/TGV 的三维集成等先进互连与封装技术、纳米互连与集成技术及封装可靠性与失效分析等。