

三维异构集成的发展与挑战

马力, 项敏, 吴婷

(通富微电子股份有限公司, 江苏南通 226000)

摘要: 三维异构集成技术带动着半导体技术的变革, 用封装技术上的创新来突破制程工艺逼近极限带来的限制, 是未来半导体行业内的关键技术。三维异构集成技术中的关键技术包括实现信号传输和互连的硅通孔/玻璃通孔技术、再布线层技术以及微凸点技术, 不同关键技术相互融合、共同助力三维异构集成技术的发展。芯片间高效且可靠的通信互联推动着三维异构集成技术的发展, 现阶段并行互联接口应用更为广泛。异构集成互联接口本质上并无优劣之分, 应以是否满足应用需求作为判断的唯一标准。详述了三维异构集成技术在光电集成芯片及封装天线方面的最新进展。总结了目前三维异构集成发展所面临的协同设计挑战, 从芯片封装设计和协同建模仿真等方面进行了概述。建议未来将机器学习、数字孪生等技术与三维异构集成封装相结合, 注重系统级优化以及协同设计的发展, 实现更加高效的平台预测。

关键词: 三维异构集成; 微凸点; 互联接口; 芯片封装设计

中图分类号: TN305.94 **文献标志码:** A **文章编号:** 1681-1070 (2024) 06-060112

DOI: 10.16257/j.cnki.1681-1070.2024.0143

中文引用格式: 马力, 项敏, 吴婷. 三维异构集成的发展与挑战[J]. 电子与封装, 2024, 24 (6) : 060112.

英文引用格式: MA Li, XIANG Min, WU Ting. Developments and challenges of 3D heterogeneous integration[J]. Electronics & Packaging, 2024, 24(6): 060112.

Developments and Challenges of 3D Heterogeneous Integration

MA Li, XIANG Min, WU Ting

(TongFu Microelectronics Co., Ltd., Nantong 226000, China)

Abstract: 3D heterogeneous integration technology is a key technology for the future semiconductor industry as it drives the change of semiconductor technology and breaks through the limitations imposed by the approaching limits of the manufacturing process with innovations in packaging technology. Key technologies in 3D heterogeneous integration technology include silicon-through-via/glass-through-via technology for signal transmission and interconnection, redistribution layer technology and micro-bump technology, which are integrated to facilitate the development of 3D heterogeneous integration technology. Efficient and reliable communication interconnection between chips is driving the development of 3D heterogeneous integration technology, and parallel interconnect interfaces are widely used at present. Interconnect interfaces for heterogeneous integration are not inherently superior or inferior, and should be judged solely on the basis of whether or not they meet the application requirements. The latest advances in 3D heterogeneous integration technology in optoelectronic integrated technology and antenna in package are described in detail. The co-design challenges faced by the development of 3D heterogeneous integration are summarized and

overviewed in terms of chip packaging design and co-modeling simulation. It is proposed to combine machine learning, digital twin and other technologies with 3D heterogeneous integration packaging in the future, focusing on the development of system-level optimization as well as co-design development to achieve more efficient platform prediction.

Keywords: 3D heterogeneous integration; micro-bump; interconnection interface; chip packaging design

0 引言

智能驾驶、移动互联网、人工智能和数据中心等的快速发展对算力的需求迅速提高,半导体技术从过去着力于半导体微细化路线发展,逐渐转向在封装技术上的创新。异构集成将不同材料、工艺、结构和功能的芯片集成在一起,形成独立封装的系统,以其高性能、高密度、低成本的突出优势,得到了空前的发展^[1-3]。

近年来,台积电(TSMC)、英特尔(Intel)和三星电子(Samsung)等行业巨头一直进行着异构集成研究。台积电提出的CoWoS技术将系统级芯片(SoC)和高带宽存储芯片(HBM)通过微凸点并排贴装在1块含有再布线层(RDL)的硅通孔(TSV)转接板上来实现多芯片集成。与CoWoS技术相比,台积电的集成片上系统(SoIC)采用无凸点技术,可以提供更高的密度、更小的键合间距,属于3D封装。英特尔提出的嵌入式多芯片互连桥接(EMIB)取代了TSV转接板,可用于HBM和FPGA互连的异构集成,芯片之间横向通过嵌入式硅桥和电源/地连接;并在2019年推出Foveros技术,为处理器引入了3D堆叠设计,是显著改进多核异构集成芯片的关键技术。三星电子的2.5D封装技术容纳了更多的逻辑芯片及HBM,使中介层的面积变大,有效改善了翘曲问题;其3D封装技术SAINT主要应用于集成高性能芯片所需的存储器和处理器,如AI芯片等^[4-8]。

采用多芯片异构集成方式来突破制程工艺逼近极限带来的限制,为目前面临巨大的国产替代压力的国内集成电路行业提供了一个新思路。在已有的工艺能力范围内进行芯粒(Chiplet)的生产,通过异构集成技术同样可以实现小型化、高性能的芯片方案。国内厂商中,长电科技、通富微电和华天科技等企业推出了各自的解决方案。长电科技的多维扇出封装集成(XDFOI)技术平台最小线宽/线距可达到 $2\mu\text{m}$ 并实现多层布线,无须采用TSV连接集成。通富微电VISionS技术平台采用了2.5D/3D和多芯片封装等技术助力高性能计算领域。华天科技的3D-Matrix技术

平台融合了TSV、硅基埋入扇出(eSiFO)、3DSiP等技术用以支持三维异构集成产品生产^[9-12]。

本文介绍了三维异构集成的实现方式,详述了三维异构集成技术在光电集成芯片及封装天线领域的最新进展,总结了目前三维异构集成发展所面临的协同设计挑战。

1 三维异构集成的实现方式

1.1 关键技术

三维互连是实现三维异构集成的关键。垂直互连可以实现单元(如处理器、存储器、数字芯片等)之间的信号传输和互连并逐步放大,最终实现与基板和PCB板的连接。TSV或玻璃通孔(TGV)等技术通过在晶圆上制备的通孔中填充导电材料来实现芯片上、下层在垂直方向上的信号互联,该技术增加了垂直方向的堆叠密度。基于TSV技术形成的互连结构具有信号传输快、信号衰减低、传输距离短的优点。制备TSV的关键工艺步骤如图1所示。TSV技术提高了电子元器件的集成度及微处理器的性能。TGV的高频电学特性优良,基于TGV技术形成的互连结构无须沉积绝缘层,相较于TSV,TGV制备工艺流程更加简单。TGV作为TSV技术的低成本替代方案,逐渐受到广泛关注^[13-15]。

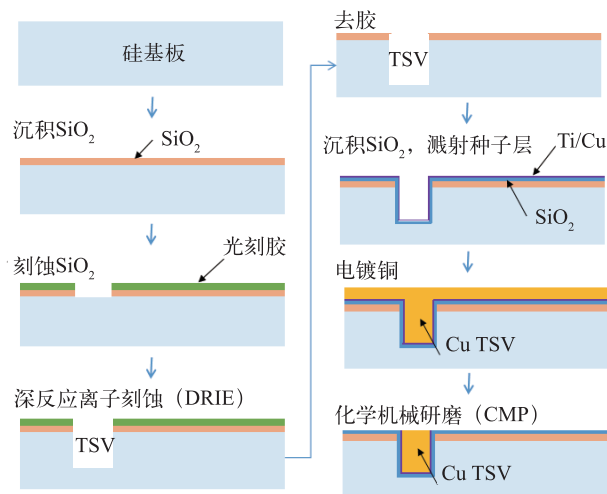


图1 制备TSV的关键工艺步骤

RDL技术是三维异构集成的重要组成部分。使用

扇出晶圆级封装 (FO-WLP) 将芯粒集成到尺寸较大的芯片上可以提高生产效率。自 2016 年以来, 行业一直致力于研究 FO-WLP, 在没有中介层的情况下实现了 2.5D 封装。硅桥上的 RDL 制作工艺取决于金属的线宽和间距, 也可以应用在高端性能封装中, 以满足处理芯片和存储芯片对高带宽、低延迟的严格要求^[16]。

在三维异构集成技术中, 节距小于 100 μm 的微凸点被用于高密度 I/O 的互连。在热压键合工艺中, 微凸点的最小节距可达 10 μm 。芯粒键合间距低于 10 μm 的情况目前采用混合键合工艺来解决。混合键合技术是 DRAM 存储器和 NAND 存储器堆叠的关键技术, 采用 Cu-Cu 键合实现芯片堆叠, 将高精度研磨后的芯片表面贴合在一起, 贴合面上的 SiO_2 直接键合后退火, 使贴合面上的 Cu 与 Cu 之间通过扩散后永久连接从而实现无凸点工艺^[17-18]。图 2 为微凸点工艺及无凸点工艺示意图, 无凸点工艺更易获得超细间距和超高密度的互连, 具有更好的电气性能, 基于无凸点混合键合的三维异构集成可突破微凸点微型化的瓶颈。

不同关键技术渐渐出现相互融合的趋势: 华天科技的 eSiFO 技术是基于 TSV 及 RDL 互连的晶圆级封装; 三星的 X-Cube 技术基于 TSV 和微凸点技术来实现芯片堆叠; 佐治亚理工学院有关玻璃基三维封装天线模组的研究采用了基于 TGV 及 RDL 的异质集成方案^[19]。

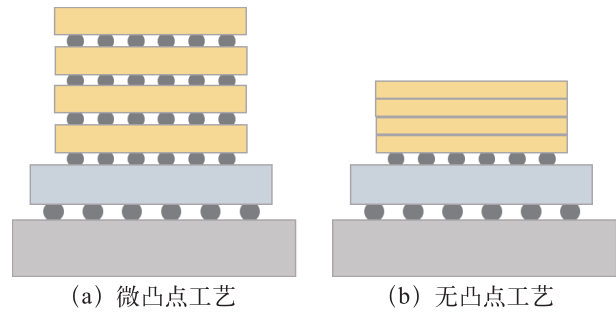


图 2 微凸点工艺及无凸点工艺示意图

1.2 通信协议规范

芯粒间的通信互联接口主要包括串行互联接口和并行互联接口。串行互联技术 (SerDes) 可保持现有核心芯片主处理结构不变, 无须改变已有芯片中接口的通信架构。在三维异构集成芯片中采用 SerDes 接口进行芯粒互联, 技术难度小且可高度融合原有芯粒的线路。与串行互联技术相比, 并行互联接口的互联密度更高, 适用的场景更广泛。国外常用的三维异构集成互联接口对比如表 1 所示。Intel 提出的 UCIe 接口属于并行互联接口, 目前最为成熟, 其具有完整的接口协议层。国内目前对并行互联接口标准开展的研究主要来自科研院所, 包括中国计算机互连技术联盟 (CCITA) 发起的《小芯片接口总线技术要求》和中国电子科技集团公司发起的《芯粒间互联通信协议》等^[20-24]。异构集成互联接口本质上并无优劣之分, 应以是否满足应用需求作为判断的唯一标准, 互联接口的设计也应定位清楚需要解决的核心问题。

表 1 三维异构集成互联接口对比^[20]

互联接口	互联形态	互连特性	接口形态	协议类型	互连场景	可扩展性
Synopsys 的 D2D 接口	串行	芯粒互连	IP 核	物理层、链路层、协议层	片间 / PCB	非存储芯粒间
Nvidia 的 NVlink 接口	串行	芯粒互连	IP 核	物理层、链路层、协议层	片间 / PCB	非存储芯粒间
CCIX 联盟的 CCIX 接口	串行	芯粒互连	IP 核	物理层、链路层、协议层	片间 / PCB	非存储芯粒间
Intel 的 AIB/MDIO	并行	芯粒互连	芯粒	物理层	片间	非存储芯粒间
TSMC 和 ARM 的 LIPINCON	并行	芯粒互连	芯粒	物理层	片间	非存储芯粒间
AMD 和 IBM 的 IF	并行	芯粒互连	IP 核	物理层、逻辑层	片内 / 片间	非存储芯粒间
AMD 的 HBM	并行	芯粒互连	IP 核	物理层、链路层、协议层	片间	存储芯粒间
OCP 的 BoW	并行	芯粒互连	IP 核	物理层	片间	非存储芯粒间、与存储芯粒 (可能)
Intel 的 UCIe	并行	芯粒互连	IP 核	物理层、适配层、协议层	片间	非存储芯粒间
UCLA 的 Si-IF	并行 / 串行	芯粒互连	IP 核	物理层、链路层、协议层	片内 / 片间	非存储芯粒间

2 三维异构集成的最新应用

2.1 光电集成芯片

人工智能对算力的需求日益增长, 已经超过摩尔

定律下算力的供给, 而光子芯片可以实现高速、大容量的数据传输, 该技术采用光波作为信息传输或数据运算的载体, 为人工智能、量子计算等新兴计算机前沿技术提供了发展新机遇^[25]。

目前较成熟的光子芯片材料有硅基材料和磷化

铜材料。硅光子芯片是使用硅和硅基衬底材料制成的,通过光电异构集成技术在同一芯片上集成不同种类、不同功能的光子器件,实现芯片间及芯片内的光互连,可以克服单片集成的限制,发挥不同材料的优

势。光电异构集成的关键工艺技术包括光子引线键合技术、分子晶圆键合技术以及 TSV 技术,图 3 为光电异构集成发展路线示意图^[26-28]。

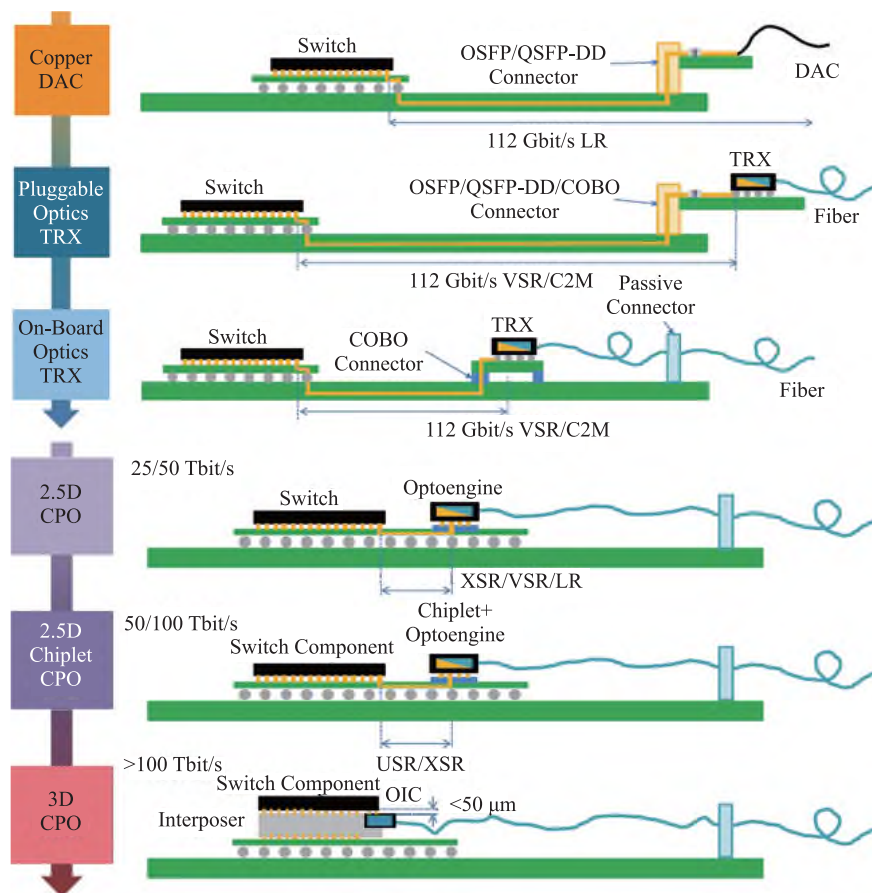


图 3 光电异构集成发展路线示意图^[28]

瑞士洛桑联邦理工学院和 IBM 通过晶圆键合技术研制了基于混合氮化硅-铌酸锂光子平台的超低损耗的快速调谐激光器。台积电提出光电共封装技术——紧凑型通用光子引擎 (COUPE) 硅光子异质集成技术,将光学元件封装在芯片内部,从而获得更短的光学路径和更紧密的光学耦合,以满足数据中心不断增长的数据传输需求。上海交通大学在实验中实现了 128 个全同量子光源阵列芯片的单片集成。尽管有上述突破,但光电异构集成技术仍面临着诸多基础研究问题和技术发展挑战^[29-31]。

2.2 封装天线

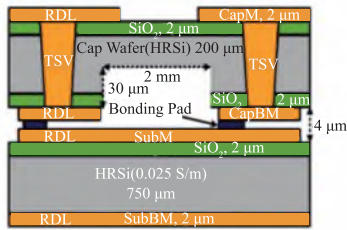
5G 时代的到来将通信系统的工作频段推入毫米波波段,该频率给 5G 通信器件的封装带来了一系列的挑战,毫米波 SoC 芯片面临高损耗问题,手机厂商纷纷进行减小器件尺寸的尝试,如华为、联发科等企业均已实现 5G 和 6 GHz 以下 SoC 芯片的设计,但未来的 6G 仍面临很大的挑战,而三维异构集成技术提

供了解决策略^[32]。

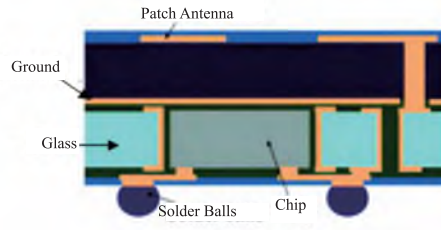
天线是 5G 毫米波器件的重要组成部分,在更小的空间放置更多的天线,给封装天线 (AiP) 技术提供了机遇,AiP 技术已在 60 GHz 的无线通信、77 GHz 的汽车雷达、94 GHz 的相控阵天线以及 300 GHz 的发射机芯片中得到了应用,该技术通过将天线集成在芯片封装内来实现射频前端和辐射单元的集成融合,实现该技术的工艺方法在扇出型晶圆级封装工艺的基础上结合了硅通孔 (TSV)/玻璃通孔 (TGV)/塑封通孔 (TMV) 垂直互连结构,涉及低温共烧陶瓷技术、引线键合技术以及高密度互连技术^[33-35]。

JIN 等^[36]提出了一种具有 TSV 互连结构的 AiP 结构,由于硅具有低电阻和高损耗的特性,在该结构中采用高电阻硅来提高硅在高频领域的应用。YU 等^[37]采用 TGV 技术来实现三维异构堆叠,提出的基于扇出玻璃晶圆 (eGFO) 的工艺需要先形成玻璃晶圆腔,然后将芯片放置在晶圆上,再经过多道工艺完成封装,

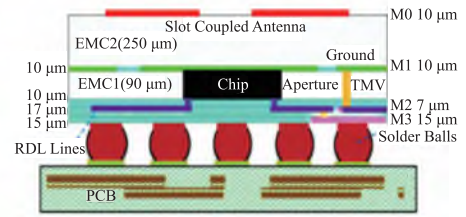
但由于 TGV 技术尚不成熟, 成本较高。LIM 等^[38]结合 TMV 技术也实现了 AiP 结构。不同垂直互连结构的



(a) 具有 TSV 结构



(b) 具有 TGV 结构



(c) 具有 TMV 结构

图 4 不同垂直互连结构的封装天线^[36-38]

3 三维异构集成的协同设计

3.1 芯片封装设计

三维异构集成技术的快速发展使芯片设计的整个过程变得极其复杂, 需要电子设计自动化 (EDA) 工具的全面支持。Synopsys、Cadence 和 Siemens EDA 作为 3 大头部 EDA 厂商, 目前都为三维异构集成封装设计提供了全流程的工具。Synopsys 推出的 3DIC Compiler 解决方案可以在单一的封装中实现 2.5D 和 3D 多芯片系统的设计和整合, 构建多芯片系统设计分

析的统一平台。Integrity 3D-IC 平台是 Cadence 与 TSMC 合作建立的, 可支持 TSMC 的三维异构集成封装技术。Siemens EDA 也建立了自己的设计平台, 用于 2.5D、3D IC 及扇出型晶圆级封装等技术^[39-41]。国内 EDA 技术也取得了优秀的成绩, 图 5 所示为华大九天模拟电路设计全流程 EDA 工具系统。

析的统一平台。Integrity 3D-IC 平台是 Cadence 与 TSMC 合作建立的, 可支持 TSMC 的三维异构集成封装技术。Siemens EDA 也建立了自己的设计平台, 用于 2.5D、3D IC 及扇出型晶圆级封装等技术^[39-41]。国内 EDA 技术也取得了优秀的成绩, 图 5 所示为华大九天模拟电路设计全流程 EDA 工具系统。华进半导体联合研究院及相关企业发布了基于 2.5D 异构集成工艺的 APDK, 建立起了 IC 设计与封装厂商之间的桥梁。华大九天开发的 Storm 工具可用于先进封装中的大规模、高密度的自动布线, 解决了在传统封装设计流程中所遇到的版图严重卡顿以及布线效率低下等问题^[39,42]。

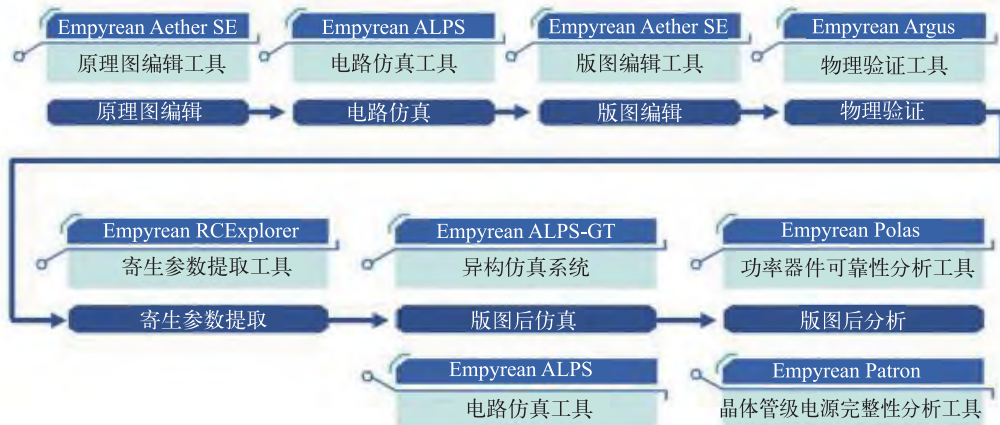


图 5 华大九天模拟电路设计全流程 EDA 工具系统^[39]

I/O 互连接口的不断增长以及 3D 堆叠间距的缩小不断提高芯片封装设计的难度。同时, 芯片和封装的单向发展已经无法满足日益增长的协同设计的需求, 市场迫切需要统一的芯片封装协同设计的 EDA 解决方案, 给 EDA 的发展提出了更多的要求。

3.2 协同仿真建模

在实际工作中, 电路及封装结构会受到电、热和力学等多物理场的协同作用。电路互连结构复杂度相对较低, 可通过数值电磁 (EM) 建模仿真来获得封装结构的电磁、热及应力等参数。与 EM 建模仿真类似, 通过有限元技术, 可以快速分析生产工艺过程中由于封

装结构中材料间热膨胀系数的不匹配而引起的晶圆翘曲、再布线层层以及晶圆裂片等问题^[43-44]。

通过对集成扇出封装 (InFO) 中介电材料的分析可获得不同位置的应力分布差异, 进而优化互连结构的设计。多物理场仿真建模技术关注的重点在于三维异构集成系统中的电磁、热、力等作用, 对将要发生的故障进行预测, 并进行失效机理分析, 可以通过特定的测量技术来获取材料所需的电、热、力相关参数^[45]。多尺度及跨层级的三维异构封装工艺的仿真建模主要应用了基于复合材料理论的体积等效方法, CHE 等^[46]根据 TSV 在晶圆上的分布进行分区域等效, 将 TSV 转

接板视作 Si/Cu 的复合结构,从而获得线弹性力学参数以用于晶圆级的模型仿真。孙国立等^[47]对该种方法进行修正,在周期性微结构边界施加周期性边界条件,获得了更加接近真实材料的等效参数。

随着建模仿真中涉及的电路和模块逐渐增加,目前,基于人工智能、机器学习等的仿真技术已大量应用于芯片/系统建模与仿真加速、封装结构可靠性预测等诸多场景。应用于三维异构集成的服务集成管理 (SIAM) 如图 6 所示。SIAM 框架应用于三维异构集

成,通过将人工智能理论与大数据相结合,指导计算机进行训练及学习,进而获得评估模型,相同或者相似的封装结构通过该模型获得其寿命周期。机器学习需要大量用于模型训练的仿真数据,缺乏数据是该仿真技术现在面临的挑战。数字孪生建模技术可实现具有前瞻性的系统可靠性分析,可以在新的封装结构投入生产前基于历史及当前的数据进行预测,也可以对系统状态进行实时监测,但在可靠性评估领域还缺乏系统化的方法^[48-49]。

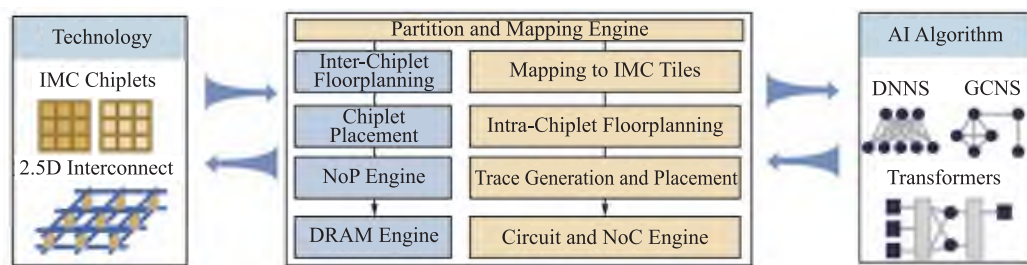


图 6 应用于三维异构集成的 SIAM^[48]

4 结束语

三维异构集成技术为大数据时代、人工智能及高性能运算提供新的可能。从产业发展和现实需求来看,三维异构集成技术将成为芯片与系统集成的重要技术纽带,具有高集成度、低功耗、微型化和高可靠性等优势。三维异构集成技术在芯片封装设计工具的平台搭建和多物理场、多尺度以及多层级的建模仿真上还面临较大的挑战。未来,除了可以通过新材料、新工艺及新方法推动技术突破,还可以通过将机器学习、数字孪生等技术应用于三维异构集成的设计和可靠性评估,注重系统级优化以及协同设计,实现更加高效的平台预测及产品实时动态的有效监测。

参考文献:

- [1] LI T, HOU J, YAN J L, et al. Chiplet heterogeneous integration technology—status and challenges[J]. Electronics, 2020, 9(4): 670.
- [2] DESAI S B, MADHVAPATHY S R, SACHID A B, et al. MoS₂ transistors with 1-nanometer gate lengths [J]. Science, 2016, 354(6308): 99-102.
- [3] 刘汉诚. 异构集成技术[M]. 北京: 机械工业出版社, 2023.
- [4] HUANG P K, LU C Y, WEI W H, et al. Wafer level system integration of the fifth generation CoWoS® -S with high performance Si interposer at 2 500 mm²[C]// 2021 IEEE 71st Electronic Components and Technology Conference

(ECTC), San Diego, CA, USA, 2021: 101-104.

- [5] MIN M, KADIVAR S. Accelerating innovations in the new era of HPC, 5G and networking with advanced 3D packaging technologies[C]// 2020 International Wafer Level Packaging Conference (IWLPC), San Jose, CA, USA, 2020: 1-6.
- [6] CHEN M F, TSAI C H, KU T, et al. Low temperature SoIC bonding and stacking technology for 12-/ 16-hi high bandwidth memory (HBM) [J]. IEEE Transactions on Electron Devices, 2020, 67(12): 5343-5348.
- [7] MAHAJAN R, SANKMAN R, AYGUN K, et al. Embedded multi-die interconnect bridge (EMIB): a high density, high bandwidth packaging interconnect[M/OL]// KESER B, KROEHNERT S. Advances in embedded and fan-out wafer-level packaging technologies. New York: John Wiley & Sons, Inc., 2019: 487-499 (2019-01-18) [2024-05-01]. <https://onlinelibrary.wiley.com/doi/book/10.1002/9781119313991>.
- [8] 沈丛. 台积电、英特尔、三星竞逐 3D 封装市场[N/OL]. 中国电子报 (2024-02-27) [2024-04-08]. https://epaper.cena.com.cn/pc/content/202402/27/content_9525.html.
- [9] CHEN H J, BIAN Z Y, LIU T, et al. Study on the manufacturability of X dimension fan out integration package with organic RDLs (XDFOI-O) [J]. Journal of Microelectronics and Electronic Packaging, 2024, 21 (1): 14-19.
- [10] 熊国杰, 张津铭, 贺光辉. 一种面向 Chiplet 互连的高效传输协议设计与实现[J]. 计算机工程与科学, 2023, 45

- (8): 1339-1346.
- [11] 张墅野, 邵建航, 何鹏. 封装技术在 5G 时代的创新与应用[J]. 微电子学与计算机, 2023, 40(11): 9-21.
- [12] YU D. Embedded silicon fan-out (eSiFO[®]) technology for wafer-level system integration[J]. *Advances in Embedded and Fan-Out Wafer Level Packaging Technologies*, 2019: 169-184.
- [13] SHEN W W, CHEN K N. Three-dimensional integrated circuit (3D IC) key technology: through-silicon via (TSV) [J]. *Nanoscale Research Letters*, 2017, 12(1): 56.
- [14] LAU J H. Recent advances and trends in multiple system and heterogeneous integration with TSV-less interposers [J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2022, 12(8): 1271-1281.
- [15] SHOREY A B, LU R. Progress and application of through glass via (TGV) technology[C]// *Proceedings of the Pan Pacific Microelectronics Symposium (Pan Pacific)*, Big Island, HI, USA, 2016: 1-6.
- [16] LIN Y H, YEW M C, CHEN S M, et al. Multilayer RDL interposer for heterogeneous device and module integration [C]//*Proceedings of the IEEE 69th Electronic Components and Technology Conference (ECTC)*, Las Vegas, NV, USA, 2019: 931-936.
- [17] LIANG S W, WU G C Y, YEE K C, et al. High performance and energy efficient computing with advanced SoIC[®] scaling[C]//*Proceedings of the IEEE 72nd Electronic Components and Technology Conference (ECTC)*, San Diego, CA, USA, 2022: 1090-1094.
- [18] 项少林, 郭茂, 蒲菠, 等. Chiplet 技术发展现状[J]. 科技导报, 2023, 41(19): 113-131.
- [19] 陈力, 杨晓峰, 于大全. 玻璃通孔技术研究进展[J]. 电子与封装, 2021, 21(4): 040101.
- [20] 李沛杰, 刘勤让, 陈艇, 等. 异构集成互连接口研究综述 [J]. 集成电路与嵌入式系统, 2024, 24(2): 31-40.
- [21] MALTENBERGER T, ILIC I, TOLOVSKI I, et al. Evaluating multi-GPU sorting with modern interconnects [C]//*Proceedings of the 2022 International Conference on Management of Data*, Philadelphia PA USA, 2022: 1795-1809.
- [22] 许晋彰, 景乃锋, 蒋剑飞. 一种面向多处理器互连的高速串行传输系统设计[J]. 微电子学与计算机, 2020, 37(8): 16-20, 26.
- [23] DAS SHARMA D, PASDAST G, QIAN Z G, et al. Universal chiplet interconnect express (UCIe): an open industry standard for innovations with Chiplets at package level[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2022, 12(9): 1423-1431.
- [24] DAS SHARMA D. System on a package innovations with universal Chiplet interconnect express (UCIe) interconnect [J]. *IEEE Micro*, 2023, 43(2): 76-85.
- [25] 王俊, 杨晓飞. 光子芯片研究进展及展望[J]. 世界科学, 2020(12): 29-31.
- [26] 沈湘, 于杰平, 王丽. 光子芯片领域研究重点和发展趋势分析[J]. 数据与计算发展前沿, 2023, 5(4): 3-15.
- [27] 陆延青, 肖敏, 彭茹雯, 等. 人工微结构中的量子、类量子效应及功能集成光子芯片研究进展[J]. 中国基础科学, 2020, 22(1): 11-24.
- [28] 卞玲艳, 曾艳萍, 蔡莹, 等. 大数据时代光电共封技术的机遇与挑战[J]. 激光与光电子学进展, 2024, 61(9): 0900006.
- [29] SNIGIREV V, RIEDHAUSER A, LIHACHEV G, et al. Ultrafast tunable lasers using lithium niobate integrated photonics[J]. *Nature*, 2023, 615(7952): 411-417.
- [30] KATARI M, KRISHNAMOORTHY G, JEYARAMAN J. Novel materials and processes for miniaturization in semiconductor packaging[J]. *Journal of Artificial Intelligence General Science*, 2024, 2(1): 251-271.
- [31] REN R J, GAO J, ZHOU W H, et al. 128 identical quantum sources integrated on a single silica chip[J]. *Physical Review Applied*, 2021, 16(5): 054026.
- [32] 洪伟, 余超, 陈继新, 等. 5G 及其演进中的毫米波技术 [J]. 微波学报, 2020, 36(1): 12-16.
- [33] DUAN Z M, WU B W, WANG Y, et al. A 76-81 GHz 2×8 MIMO radar transceiver with broadband fast chirp generation and 16-antenna-in-package virtual array[J]. *IEEE Journal of Solid-State Circuits*, 2023, 58 (11): 3103-3112.
- [34] SINGH C, SHARMA C, TRIPATHI S, et al. A comprehensive survey on millimeter wave antennas at 30/60/120 GHz: design, challenges and applications[J]. *Wireless Personal Communications*, 2023, 133 (3): 1547-1584.
- [35] ZHANG Y P. Differential antennas: fundamentals and applications[J]. *Electromagnetic Science*, 2023, 1(1): 0010021.
- [36] JIN C, SEKHAR V N, BAO X Y, et al. Antenna-in-package design based on wafer-level packaging with through silicon via technology[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2013, 3(9): 1498-1505.
- [37] YU T, ZHANG X D, CHEN L, et al. Development of embedded glass wafer fan-out package with 2D antenna

- arrays for 77 GHz millimeter-wave chip [C]//Proceedings of the IEEE 70th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, 2020: 31-36.
- [38] LIM S P S, CHONG S C, WEE D H S, et al. Assembly challenges and demonstrations of ultra-large antenna in package for automotive radar applications[C]//Proceedings of the IEEE 72nd Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, 2022: 635-642.
- [39] 郭继旺, 尹文婷, 谈玲燕, 等. Chiplet 异构集成微系统的 EDA 工具发展综述[J]. 微电子学与计算机, 2023, 40(11): 53-60.
- [40] LI S. SiP and advanced packaging technology[M]// LI S. MicroSystem Based on SiP Technology. Singapore: Springer, 2022: 117-154.
- [41] PENTAPATI S, LIM S K. Heterogeneous monolithic 3-D IC designs: challenges, EDA solutions, and power, performance, cost tradeoffs[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2024, 32(3): 413-421.
- [42] 郭继旺, 尹文婷, 谈玲燕, 等. Chiplet 异构集成微系统的 EDA 工具发展综述[J]. 微电子学与计算机, 2023, 40(11): 53-60.
- [43] KATZ E, AVITAL M, WEIZMAN Y, et al. Analytical side channel EM models, extending simulation abilities for ICs, and linking physical models to cryptographic metrics [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2023, 42(12): 4463-4476.
- [44] 刘军, 高爽, 汪曾达, 等. 射频异构集成微系统多层次协同仿真建模与 PDK 技术综述[J]. 微电子学与计算机, 2024, 41(1): 11-25.
- [45] 汪志强, 杨凝, 张劭春, 等. 异质异构集成微系统可靠性技术发展的挑战和机遇[J]. 微电子学与计算机, 2023, 40(11): 61-71.
- [46] CHE F X, HO D, CHAI T C. Study on warpage and reliability of fan-out interposer technology[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2019, 9(4): 786-796.
- [47] 孙国立, 公颜鹏, 侯传涛, 等. 基于 RVE-子模型法的多尺度封装结构分析方法[J]. 强度与环境, 2022, 49(5): 88-93.
- [48] WANG H Y, MA J S, YANG Y D, et al. A review of system-in-package technologies: application and reliability of advanced packaging[J]. Micromachines, 2023, 14(6): 1149.
- [49] WANG Z Y, SUN J B, GOKSOY A, et al. Exploiting 2.5D/3D heterogeneous integration for AI computing[C]//Proceedings of the 29th Asia and South Pacific Design Automation Conference (ASP-DAC), Incheon, Korea, 2024: 758-764.



作者简介:

马力 (1984—), 男, 江苏昆山人, 博士, 通富微电子股份有限公司先进封装技术总监, 主要研究方向为 Chiplet 先进封装。